

501.539

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有權機關  
國際事務局



(43) 國際公開日  
2003年7月31日 (31.07.2003)

PCT

(10) 国際公開番号  
WO 03/063124 A1

(51) 國際特許分類<sup>7)</sup>:

G09G 3/30, 3/20

(ABE,Katsumi) [JP/JP]; 〒108-8001 東京都 港区 芝五  
丁目7番1号 日本電気株式会社内 Tokyo (JP).

(21) 國際出願番号:

PCT/JP03/00276

(74) 代理人: 丸山 隆夫 (MARUYAMA,Takao); 〒170-0013  
東京都 豊島区 東池袋2-38-23 SAMビル 3階 丸山特許  
事務所内 Tokyo (JP).

(22) 國際出願日:

2003年1月15日(15.01.2003)

### (25) 國際出願の言語:

日本語

(81) 指定国(国内): CN, JP, US.

## (26) 国際公開の言語:

日本語

(84) 指定国(広域): ヨーロッパ特許(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, SE, SI, SK, TR).

(71) 出願人(米国を除く全ての指定国について): 日本電気  
株式会社(NEC CORPORATION)[JP/JP]; 〒108-8001  
東京都港区芝五丁目7番1号 Tokyo (JP).

添付公開書類:  
— 國際調查報告書

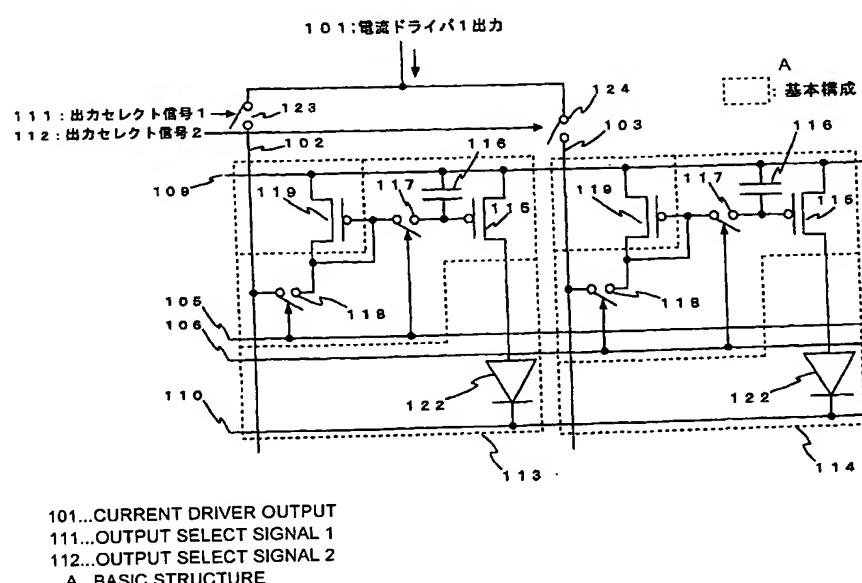
(72) 発明者; および

(75) 発明者/出願人(米国についてのみ): 安部 勝美

2文字コード及び他の略語については、定期発行される各PCT gazetteの巻頭に掲載されている「コードと略語のガイドランスノート」を参照。

(54) Title: SEMICONDUCTOR DEVICE INCORPORATING MATRIX TYPE CURRENT LOAD DRIVING CIRCUITS, AND METHOD THEREFOR

【発明の名称】ストリックス型電流負荷駆動回路を備えた半導体装置とその駆動方法



**(57) Abstract:** A semiconductor device, to which active drive current write is applied, wherein current load cells each comprising a current load and a current load driving circuit are arranged in a matrix and wherein the circuit scale of a current driver can be reduced with almost no change made to the structure of the current load driving circuit. A driving method of that semiconductor device. The

[統葉有]

WO 03/063124 A1

# Best Available Copy



---

current load cell (113, 114) have the current load driving circuit which comprises a transistor (115) connected in series with the current load (122) between first and second power supplies (109,110); a capacitor (116) connected between the control terminal of the transistor (115) and the first power supply (109); and switches (117,118) connected between the control terminal of the transistor (115) and the corresponding data line. An output (101) of the current driver is connected to a plurality of data lines via selectors (123,124). The plurality of data lines connected to the output of the current driver via the selectors and at least one of the switches of each of the current load cells corresponding to the respective data lines are driven and controlled in a time division manner during a horizontal interval.

(57) 要約:

アクティブ駆動電流書き込みを適用した場合の、電流負荷と、電流負荷駆動回路とを備える電流負荷セルがマトリックス状に配置された半導体装置において、電流負荷駆動回路の構成をほとんど変えることなく、電流ドライバの回路規模を減少することができる装置とその駆動方法の提供。

電流負荷セル110が、第1、第2の電源109、110間に、電流負荷12と直列形態に接続されているトランジスタ115と、トランジスタ115の制御端子と第1の電源109の間に接続された容量116と、トランジスタ115の制御端子と対応するデータ線との間に接続されたスイッチ117、118を備えた電流負荷駆動回路を備え、電流ドライバの出力101をセレクタ123、124を介して複数のデータ線に接続し、1水平期間においてセレクタを介して電流ドライバの1出力に接続される複数本のデータ線と、データ線の各々に対応する電流負荷セルのスイッチの少なくとも一つが時分割で駆動制御される。

## 明細書

マトリックス型電流負荷駆動回路を備えた半導体装置とその駆動方法技術分野

本発明は、電流負荷と電流負荷駆動回路を備えた半導体装置及びその駆動方法に関し、特に、電流負荷と電流負荷駆動回路がマトリックス状に配置され、アクティブ駆動を行う半導体装置とその駆動方法に関する。

従来技術

電流負荷がマトリックス状に配置された半導体装置として、例えば図1に示すような構成が知られており、様々な応用が考えられている。図1において、半導体装置200には、複数本のデータ配線202が並行に配設され、データ配線202と直交する方向に複数本の走査配線203が並行に配設されており、データ配線202と走査配線203の交差部に、電流負荷セル201がマトリックス状に配設されている。電圧ドライバ又は電流ドライバ230は、データ配線202を、電圧駆動又は電流駆動する。走査回路240は、走査配線203を駆動する。かかる装置の一例として、電流負荷セル201として電流負荷である有機EL(Electro-Luminescence: エレクトロルミネッセンス) 素子を用いた有機EL表示装置がある。

これら電流負荷がマトリックス状に配置された半導体装置の駆動方法として、大きく分けて次の2種類がある。すなわち、

- (1) 1ラインごと選択し、選択した期間のみ負荷を駆動するパッシブ駆動、
- (2) 1ラインごと選択し、選択した期間に負荷を駆動するための情報、つまり各電流負荷に与える電流値に相当する電圧を記憶することで電流値を記憶させ、次に同じラインを選択するまで、前記記憶した電流値にて負荷を駆動するアクティブ駆動、

の2種類がある。

パッシブ駆動用の装置は、電流負荷によって構成され、例えば図2(a)に示

すように、マトリックス状に配置されている電流負荷セル201は、データ線202と走査配線203の間に接続されている電流負荷206と、複数のデータ配線202、走査配線203のみの簡単な構成で実現できる。しかしながら、パッシブ駆動用の装置では、選択期間のみに負荷を駆動するため、大電流を流す必要がある。このため、パッシブ駆動用の装置では、瞬間的に、電流負荷206に大きな負担がかかり、電流負荷206を構成する素子の信頼性の面で問題が生じる場合がある。また、パッシブ駆動用の装置は、効率が低下するため、消費電力も大きい。

一方、アクティブ駆動用の装置は、マトリックス状に配置されている電流負荷セル201が、図2(b)に示すように、電流負荷206と、データ配線202と走査配線203に接続され、電流負荷206に供給する電流値に相当する電圧を記憶し、負荷を駆動するための電流負荷駆動回路207と、を備えて構成され、さらに、複数のデータ配線202、走査配線203で構成されている。

電流負荷セル201内の電流負荷駆動回路207は、トランジスタ等によって作成されており、その構成は、パッシブ駆動に比べ複雑になる。しかし、アクティブ駆動用の装置では、負荷の駆動は、1ラインを選択してから、全ライン終了後に、同じラインを選択するまでの長期間行われるため、負荷駆動電流が小電流で良く、負荷の負担が小さい。また、アクティブ駆動用の装置は、効率が高いため、消費電力も小さい。このため、アクティブ駆動は、負荷の負担や消費電力の面で、パッシブ駆動に対し優位性を持つといえる。

アクティブ駆動用の電流負荷駆動回路207の構成として、電流負荷駆動回路に電圧を供給する半導体装置(図1の230が電圧ドライバ)により印加される電圧を記憶し、前記記憶した電圧に対応する電流により負荷を駆動する構成(「電圧書き込み構成」ともいう)と、電流負荷駆動回路207に電流を供給する半導体装置(図1の230が電流ドライバ)により電流が印加され、電流に対応する電圧を記憶し、前記電流に対応する電流により負荷を駆動する構成(「電流書き込み構成」という)がある。

例えば、有機EL表示装置の場合、各画素の有機EL素子に電流を記憶し、駆動する電流負荷駆動回路は、ポリシリコン薄膜トランジスタ(poly-Si)1

icon Thin Film Transistor:「p-Si TFT」とも略記される)で構成される場合が多い。なお、p-Si TFT(低温プロセス成膜法による)は、電界効果移動度が高いため周辺回路の一部を基板に集積化でき、高速、大電流のスイッチング制御を可能としている。

例えば特開平5-107561号公報には(同公報図7参照)、図3に示すような、電圧書き込み構成が開示されている。1画素表示部210は、電源線204に一端(アノード端子)が接続された発光素子220と、発光素子220の他端(カソード端子)にドレインが接続され、ソースが接地線205に接続されたポリシリコン製のnチャネルMOSFETよりなるTFT(薄膜トランジスタ)211と、TFT211のゲートと接地線205の間に接続された保持容量212と、TFT211のゲートとデータ配線202の間に挿入されたスイッチ213とを備えている。スイッチ213の制御端子には制御線K215が接続され、本制御線K215上を伝達する制御信号K215(以下同様に制御線名とその制御線上を伝達する制御信号名を同一記号にて記す)によりオン・オフが制御される。制御信号K215がアクティブとされ、スイッチ213がオンすると、データ配線202の電圧により保持容量212が充電されるとともに、TFT211のゲート電圧として印加され、TFT211がオンし、電源線204と発光素子220と接地線205の電流パスが導通し、発光素子220が発光する。発光素子220の輝度は、TFT211のゲート電圧に応じて可変させる。

しかしながら、p-Si TFTでは、各トランジスタの電流能力のばらつきが大きく、電圧が同じでも、TFTごとに駆動電流が異なる可能性が高い。その場合、有機EL素子の輝度にばらつきが生じ、表示精度が低下する。

この問題を解決するために、例えば特開平11-282419号公報には(同公報図1参照)、図4に示すような構成により、電流能力ばらつきが比較的小い近接領域のTFTの電流能力ばらつきのみ影響し、高精度な表示が可能とした電流書き込み構成が提案されている。

図4を参照すると、この回路は、図3のスイッチ213のTFT211のゲートと接続する側の端子とは別の端子を、ゲートとドレインが接続され(すなわちダイオード接続され)、ソースが接地線205に接続されたポリシリコン製のnチ

ヤネルMOSFETよりなるTFT216（電流変換素子）のゲートに接続し、 TFT216のドレインがスイッチ214を介してデータ配線202に接続する構成とし、スイッチ213、214の制御端子は制御線K215に共通に接続されている。有機EL素子の発光輝度を駆動制御するための制御信号は可変自在な制御電流としてデータ線に供給され、TFT216は、スイッチ214を介して入力される電流を電圧に変換する。

しかしながら、電流書き込み構成に用いられる電流ドライバは、各データ線に電流を供給する出力回路を必要とし、1ライン選択期間において、選択されたライン上にある前記電流負荷駆動回路に、それぞれデータ線を通して、同時に電流を供給する。従って、全データ線数に相当する個数分電流ドライバが必要となり、コストが増大する、という問題点を有している。

また、電流ドライバとマトリックス状にアクティブ駆動用電流負荷セルを持つ装置との接点も増加するため、信頼性や生産性が低下する、という問題もある。

さらに、近時、有機EL表示装置等では、マトリックス状の有機EL素子や電流負荷駆動回路と共に、電圧ドライバ又は電流ドライバを、同一基板上に、p-Si TFTで作成し、部品点数の減少とコスト低下を行うことが検討されている。しかしながら、この場合、電流ドライバ部分の回路規模が大きくなると、装置全体としての回路規模・回路面積も増大するため、歩留まりや、信頼性、生産性が低下する。

#### 発明が解決しようとする課題

上記したように、従来の装置及び駆動方法は、下記記載の問題点を有している。

第1の問題点は、電流負荷と、アクティブ駆動電流書き込み構成を適用した電流負荷駆動回路をマトリックス状に備えた半導体装置において、電流ドライバのコストが増大し、生産性・信頼性の向上が難しくなる、ということである。

その理由は、マトリックス状に電流負荷と、電流負荷駆動回路を備えた装置のデータ線数に相当する出力を必要とするため、電流ドライバが複数個必要となり、部品点数が増加するためである。

第2の問題点は、電流負荷と、アクティブ駆動電流書き込み構成を適用した電

流負荷駆動回路をマトリックス状に備えた半導体装置において、電流ドライバを内蔵する場合、コストが増大し、生産性・信頼性の向上が難しくなる、ということである。

その理由は、マトリックス状に電流負荷と、電流負荷駆動回路を備えた装置の全てのデータ線に電流ドライバの電流供給出力を必要とするため、電流ドライバの回路規模が増加し、装置全体の回路規模・面積の増大し、このため、歩留まりも低下する可能性が増すためである。

したがって、本発明が解決しようとする課題は、アクティブ駆動電流書き込みを適用した場合の、電流負荷と、電流負荷駆動回路とを備える電流負荷セルがマトリックス状に配置された半導体装置において、電流負荷駆動回路の構成をほとんど変えることなく、電流ドライバの回路規模を減少することができる装置とその駆動方法を提供することである。

### 発明の開示

上記課題を解決する本発明の第1のアスペクトに係る半導体装置は、電流負荷と、電流負荷駆動回路と、を備える電流負荷セルが、マトリックス状に配置され、アクティブ駆動電流書き込みを行う半導体装置において、データ線に電流を供給する電流ドライバの1つの電流出力に対して、複数本のデータ線を1本ずつ選択し、選択されたデータ線に前記電流出力を供給する手段を備え、前記電流負荷セル内の電流負荷駆動回路は、第1の電源にソースが接続され、ドレインが直接に、又はスイッチを介して前記電流負荷に接続されており、前記電流負荷へ電流を供給するトランジスタと、前記トランジスタのゲートと前記第1の電源又は他の電源との間に接続された容量と、前記トランジスタのゲートと、対応するデータ線との間に接続される、一つのスイッチ又は直列接続された複数のスイッチと、を備え、前記電流負荷駆動回路の前記トランジスタのゲートに接続される前記スイッチを制御する信号を伝達する制御線を、少なくとも、前記半導体装置の1ラインにおいて、前記電流ドライバの1電流出力が選択できるデータ線の本数と同じ数分備えている。

本発明の他のアスペクトに係る装置は、電流負荷と電流負荷駆動回路とを備え

る電流負荷セルがマトリックス状に配置され、アクティブ駆動電流書き込みを行う半導体装置において、データ線に電流を供給する電流ドライバの1つの電流出力に対して、複数本のデータ線を1本ずつ選択し、選択されたデータ線に前記電流出力を供給する手段を備え、前記電流負荷セル内の電流負荷駆動回路は、第1の電源にソースが接続され、ドレインが直接に、又はスイッチを介して前記電流負荷に接続されており、前記電流負荷へ電流を供給するトランジスタと、前記トランジスタのゲートと前記第1の電源又は他の電源との間に接続された容量と、前記トランジスタのゲートと、対応するデータ線との間に直列に接続された複数のスイッチと、を備え、前記電流負荷駆動回路の前記トランジスタのゲートに一端が接続されるスイッチを制御する信号を伝達する制御線を、前記半導体装置の1ラインにおいて、少なくとも、前記電流ドライバの1電流出力が選択できるデータ線の本数と同じ数分備え、前記電流負荷駆動回路の前記電流負荷セルに対応するデータ線に一端が接続されるスイッチを制御する信号を伝達する制御線を前記半導体装置の各ラインに備えている。

本発明の半導体装置において、前記電流ドライバの1つの電流出力は、1ライン選択期間（1水平期間）中に複数のデータ線を1本ずつ順番に選択し、各データ線選択時に、選択されたライン上かつ選択されたデータ線上の前記電流負荷駆動回路に、前記電流負荷セル内の電流負荷を駆動する電流に対応する電流を供給する。

本発明の別のアспектに係る半導体装置の駆動方法は、データ線を電流駆動する電流ドライバの出力が、セレクタに入力され、前記セレクタでは、入力される出力セレクト信号に基づき前記セレクタの出力に接続されている複数本のデータ線の1本ずつを選択し、前記選択されたデータ線に前記電流ドライバの出力が供給される構成とされており、電流負荷セル内の電流負荷駆動回路は、第1の電源にソースが接続され、ドレインが直接、又はスイッチを介して前記電流負荷に接続されており、前記電流負荷へ電流を供給するトランジスタと、前記トランジスタのゲートと前記第1の電源又は他の電源との間に接続された容量と、前記トランジスタのゲートと対応するデータ線との間に接続される、1つのスイッチ又は直列接続された複数のスイッチと、を備え、前記電流負荷駆動回路内の前記ス

イッチを制御する信号を伝達する制御線を、少なくとも、前記半導体装置の1ラインにおいて、前記電流ドライバの1出力が選択できるデータ線の本数と同じ数備え、前記電流負荷と前記電流負荷駆動回路とを備える電流負荷セルが、マトリックス状に配置されてなり、アクティブ駆動電流書き込みを行う半導体装置の駆動方法であって、1ラインを選択した1水平期間において、前記出力セレクト信号に基づき、前記セレクタにより前記複数本のデータ線のうちの1本のデータ線を選択した期間に、前記複数の制御線のうち、前記選択されたデータ線に対応する制御線上を伝達する制御信号によって、前記電流負荷セル内の前記トランジスタのゲートに一端が接続されるスイッチをオンすることで、前記電流負荷セル内の前記トランジスタに、前記選択されたデータ線に前記電流ドライバから供給される電流出力に対応する電流を流し、前記電流を流すような電圧を前記トランジスタのゲートと前記容量に設定する第1のステップと、前記選択された1本のデータ線の選択期間が終了する前に、又は同時に、前記スイッチをオフする制御を行う第2のステップと、を有し、前記第1及び第2のステップを、前記複数本のデータ線のそれぞれに対して行うことで、1ラインに相当する前記電流負荷セルへの電流書き込みを完了する制御を行う。

本発明の別のアスペクトに係る半導体装置の駆動方法は、データ線に電流を供給する電流ドライバの電流出力を、複数本のデータ線を1本ずつ選択してそれぞれに供給する手段を備えており、前記電流負荷セル内の電流負荷駆動回路は、第1の電源にソースが接続され、ドレンが直接、又はスイッチを介して前記電流負荷に接続されており、前記電流負荷へ電流を供給するトランジスタと、前記トランジスタのゲートと前記第1の電源又は他の電源との間の接続された容量と、前記トランジスタのゲートと、対応するデータ線との間に直列に接続された複数のスイッチと、を備え、前記電流負荷駆動回路内の前記トランジスタのゲートに一端が接続される前記スイッチを制御する信号を伝達する制御線を、前記半導体装置の1ラインにおいて、少なくとも、前記電流ドライバの1出力が選択できるデータ線の本数と同じ数分備え、前記電流負荷駆動回路内の前記電流負荷セルに對応するデータ線に一端が接続されるスイッチを制御する信号を伝達する制御線とを、前記半導体装置の各ラインに備え、前記電流負荷と前記電流負荷駆動回路と

を備える電流負荷セルが、マトリックス状に配置されてなり、アクティブ駆動電流書き込みを行う半導体装置の駆動方法であって、1ラインを選択した1水平期間において、前記ラインごとに備えられた制御線上を伝達する制御信号により、1ラインに相当する前記電流負荷セル内の、前記電流負荷セルに対応データ線に一端が接続されるスイッチを1水平期間オン状態とする第1のステップと、前記出力セレクト信号に基づき、前記セレクタにより前記複数本のデータ線のうちの1本のデータ線を選択した期間に、前記複数の制御線のうち、前記選択されたデータ線に対応する制御線上を伝達する制御信号によって、前記電流負荷セル内の前記トランジスタのゲートに一端が接続されるスイッチをオンすることで、前記電流負荷セル内の前記トランジスタに、前記選択されたデータ線に前記電流ドライバから供給させる電流出力に対応する電流を流し、前記電流を流すような電圧を前記トランジスタのゲートと前記容量に設定する第2のステップと、前記選択された1本のデータ線の選択期間が終了する前に、又は同時に、前記スイッチをオフする制御を行う第3のステップと、を有し、前記第2乃至第3のステップを、前記複数本のデータ線のそれぞれに対して行うことで、1ラインに相当する前記電流負荷セルへの電流書き込みを完了する制御を行う。

#### 図面の簡単な説明

図1は、電流負荷セルをマトリックス状に配置した半導体装置を示す図である。

図2は、電流負荷セル構成を示す図であり、(a)はパッシブ駆動、(b)はアクティブ駆動を示す。

図3は、アクティブ駆動電圧書き込み画素回路の従来の回路構成を示す図である。

図4は、アクティブ駆動電流書き込み画素回路の従来の回路構成を示す図である。

図5は、本発明の第1の実施例の構成を示す図である。

図6は、本発明の第1の実施例のタイミング動作を示す図である。

図7は、本発明の第1の実施例の駆動期間1における動作状態を示す図である。

図8は、本発明の第1の実施例の駆動期間2における動作状態を示す図である。

図9は、比較例の構成を示す図である。

図10は、比較例の動作を示すタイミングチャートである。

図11は、本発明の第1の実施例の変形例を示す図である。

図12は、本発明の第1の実施例の変形例のタイミングチャートを示す図である。

図13は、本発明の第2の実施例の構成を示す図である。

図14は、本発明の第2の実施例の動作を示すタイミングチャートである。

図15は、本発明の第2の実施例の変形例を示す図である。

図16は、本発明の第2の実施例の変形例のタイミングチャートを示す図である。

なお、符号101は、電流ドライバ1出力を示す。符号102は、第1のデータ線（データ線1）を示す。符号103は、第2のデータ線（データ線2）を示す。符号104は、制御線Kを示す。符号105は、第1の制御線KAを示す。符号106は、第2の制御線KBを示す。符号107は、第3の制御線KCを示す。符号108は、第4の制御線KDを示す。符号109は、電源線を示す。符号110は、接地線を示す。符号111は、第1の出力セレクト信号（出力セレクト信号1）を示す。符号112は、第2の出力セレクト信号（出力セレクト信号2）を示す。符号113は、第1の画素（画素1）を示す。符号114は、第2の画素（画素2）を示す。符号115は、第1のTFT（TFT1）を示す。符号116は、容量を示す。符号117は、第1のスイッチ（SW1）を示す。符号118は、第2のスイッチ（SW2）を示す。符号119は、第2のTFT（TFT2）を示す。符号120は、第3のスイッチ（SW3）を示す。符号121は、第4のスイッチ（SW4）を示す。符号122は、発光素子を示す。符号123は、第1のセレクタスイッチ（SEL1）を示す。符号124は、第2のセレクタスイッチ（SEL2）を示す。符号200は、半導体装置を示す。符号201は、電流負荷セルを示す。符号202は、データ配線を示す。符号203は、走査配線を示す。符号204は、電源線を示す。符号205は、接地線を示す。符号206は、電流負荷を示す。符号207は、電流負荷駆動回路を示す。符号210は、画素部を示す。符号211は、第1のTFT（TFT1）を示す。

符号212は、容量を示す。符号213は、第1のスイッチ(SW1)を示す。符号214は、第2のスイッチ(SW2)を示す。符号215は、制御線Kを示す。符号216は、第2のTFT(TFT2)を示す。符号220は、発光素子を示す。符号230は、電圧ドライバ(電流ドライバ)を示す。符号240は、走査回路を示す。

#### 発明を実施するための最良の形態

本発明の実施の形態について説明する。本発明は、その好ましい一実施の形態において、アクティブ駆動電流書き込みを適用した場合の、電流負荷と、電流負荷駆動回路を備える電流負荷セルがマトリックス状に配置された半導体装置において、データ線に電流を供給する電流ドライバの各電流动出力(図5の101)は、セレクタ(図5の123、124からなるセレクタ)を介して、複数のデータ線のうちの1本ずつが選択され、電流負荷セル内の電流負荷駆動回路は、ソースが第1の電源(図5の109)に接続され、ドレインが前記電流負荷(図5の122)に、直接、又は、スイッチ(図11のスイッチSW3)を通して接続されている電流負荷(122)へ、セレクタを介して電流ドライバからデータ線に供給される出力電流に対応する電流を、電流負荷(122)に供給するトランジスタ(図5の115)と、一端がトランジスタ(115)のゲートに接続し、他の一端が第1の電源(109)に接続された容量(116)と、トランジスタ(115)のゲートと、対応するデータ線の間に、一つ又は複数の直列に、接続されたスイッチ(図5の117、118)を備えており、スイッチ(117、118)を制御する信号を伝達する制御線(105、106)を、少なくとも、半導体装置の1ラインにおいて、電流ドライバの1電流动出力(101)がセレクタ(123、124)を介して選択できるデータ線の本数と同じ数分備えている。なお、容量(116)は、トランジスタ(115)のゲートと、他の電源、例えば第2の電源(110)あるいは別の電源との間に接続する構成としてもよい。

本発明の半導体装置において、電流ドライバの1つの電流动出力(101)は、セレクタ(123、124)に供給される出力セレクト信号により、1水平期間中に、複数のデータ線を1本ずつ順番に選択し、各データ線選択時に、選択され

たライン上、かつ、選択されたデータ線上の電流負荷セルの電流負荷駆動回路に、当該電流負荷セル内の電流負荷を駆動する電流に対応する電流を供給する。

かかる構成の本実施の形態において、電流ドライバの1出力は、複数のデータ線とそれに対応する電流負荷駆動回路を時分割で駆動する構成とされている。このため、必要な電流ドライバの出力数を削減することができる。従って、電流ドライバの個数を減らすことができ、コストの削減と、生産性・信頼性を高めることが可能になる。さらに、複数のデータ線が同一の電流ドライバ出力で駆動されるため、電流ドライバの出力間の電流ばらつきが全体として少なくなる、という利点もある。

また本発明の実施の形態に係る半導体装置の駆動方法においては、1水平期間において適当なデータ線が選択された場合、選択されたライン上かつ選択されたデータ線上の前記電流負荷駆動回路において、前記トランジスタのゲートを一端とする、1つ又は直列接続した複数のスイッチは、対応する制御線上を伝達する制御信号によりオンし、前記トランジスタは、前記データ線と前記スイッチを通して前記供給される電流に相当する電圧が、前記トランジスタのゲートと前記容量の一端に設定されることで、電流値を記憶する。その後、前記データ線の選択が終了するのと同時又は終了するよりも早く、前記トランジスタのゲートを一端とする1つ、又は直列接続した複数のスイッチは、前記対応する制御線によりオフする。

引き続き、異なるデータ線が選択され、選択されたライン上かつ選択されたデータ線上の前記電流負荷駆動回路は、選択されたデータ線に対応し、先ほどとは異なる制御線上を伝達する制御信号により、前記トランジスタのゲートを一端とする、1つ、又は直列接続した複数のスイッチを制御することで、前記のような動作を繰り返す。すべてのデータ線が選択された段階で1水平期間が終了する。一方、前記トランジスタは、記憶した電流に従い、前記電流負荷を駆動する。

上記のような1水平期間を、全ラインに対し繰り返すことで、前記電流負荷駆動回路は、各々、マトリックス状に配置された全電流負荷を駆動する。以上の動作を繰り返すことで、常に適当な電流により、全電流負荷を駆動することができる。

本発明の実施の形態に係る半導体装置においては、電流負荷セルの電流負荷駆動回路内のトランジスタ（115）のゲートに一端が接続されるスイッチ（SW1（117））を制御する信号を伝達する制御線を、半導体装置の1ラインにおいて、少なくとも、電流ドライバの1電流出力（101）がセレクタ（123、124）で選択できるデータ線（102、103）の本数と同じ数分備えるとともに、電流負荷駆動回路内の対応するデータ線に一端が接続されるスイッチ（SW2（118））を制御する信号を伝達する制御線を、ラインごとに備える構成としてもよい。すなわち、電流負荷駆動回路内の対応するデータ線に一端が接続されるスイッチ（SW2（118））を制御する信号を伝達する制御線を1ラインあたり複数の電流負荷セルに対して共通とする構成としてもよい。

本発明の実施の形態によれば、アクティブ駆動電流書き込みを適用した場合の、前記電流負荷と、電流負荷駆動回路を備える電流負荷セルがマトリックス状に配置された半導体装置において、内蔵された電流ドライバの1出力は、複数のデータ線とそれに対応する前記電流負荷駆動回路を時分割で駆動することができるため、必要な電流ドライバの出力数を削減することができる。これにより、回路規模、回路面積を少なくすることができるため、歩留まり、生産性、信頼性を高めること、コストを削減することが可能になる。さらに、複数のデータ線が同一の電流ドライバ出力で駆動されるため、電流ドライバの出力間の電流ばらつきが全体として少なくなる、という利点もある。

#### [実施例]

上記した本発明の実施の形態についてさらに詳細に説明すべく、本発明の実施例について図面を参照して以下に説明する。本発明の実施例の説明において、以下では、電流負荷として発光素子を用いた発光表示装置を例として説明する。電流負荷セルを画素、電流負荷駆動回路を発光素子駆動回路、とする。ただし、本発明は、発光素子に限定されるものではなく、任意の電流負荷を駆動する際にも適用できる。また、有機EL素子のような特定の電流負荷にも適用できる。

図5は、本発明の第1の実施例の構成を示す図である。なお、図5に示す本実施例では、簡単のため、電流ドライバの1出力101は、セレクタにより、2つのデータ線102、103のうちのいずれかを選択できるようにしているが、例

えば駆動時間を短縮できるような場合には、2つ以上のデータ線を選択できるようにもよい。また、図5には、2つの画素回路（画素1、画素2）、同一の電流ドライバの出力を分岐したデータ線102、103のみが示されているが、発光表示装置内には、図1に示したように、これらのセルがマトリックス状に配設されているものとする。

本実施例において、画素内の発光素子122を駆動する駆動回路は、第1の画素113（「画素1」ともいう）についてみると、ソースが電源109に接続され、ドレインが発光素子122の一端に接続されており、該発光素子122に電流を供給するための、ポリシリコン製のpチャネルMOSFETよりなる第1のTFT（薄膜トランジスタ）115（「TFT1」ともいう）と、一端が第1のTFT115のゲートに接続され、他端が電源線109に接続されている容量116と、ソースが電源線109に接続され、ゲートとドレインが互いに接続されている（ダイオード接続されている）第2のTFT119（「TFT2」ともいう）のゲートと、第1のTFT115のゲートと容量116との接続点ノードとの間に接続されている第1のスイッチ117（「SW1」ともいう）と、第2のTFT119のドレインと、第1のデータ線102（「データ線1」ともいう）との間に挿入されている第2のスイッチ118（「SW2」ともいう）とを備えており、第1のスイッチ117の制御端子と第2のスイッチ118の制御端子は、制御信号KAを伝達する制御線KAに共通に接続されている。

第2の画素114（「画素2」ともいう）において、第2のTFT119のドレインが第2のスイッチ118を介して第2のデータ線103（「データ線2」ともいう）に接続されており、第1のスイッチ117の制御端子と、第2のスイッチ118の制御端子は、第2の制御信号KBを伝達する制御線KBに共通に接続されている。第2の画素114は、接続先のデータ線と制御線が、第1の画素113と相違するだけであり、その他構成は、第1の画素113と同様とされる。なお、この実施例、及び以下に記載される実施例において、各画素内の容量116は、その一端を第1のTFT115のゲートに接続し、他の一端を、電源線109以外の他の電源、例えば接地線110あるいは別の任意の電源に接続する構成としてもよい。

電流ドライバ（図1の電流ドライバ230参照）の出力101は、第1、第2の出力セレクト信号111、112（「出力セレクト信号1、2」ともいう）が制御端子にそれぞれ入力され、オン・オフ制御される第1、第2のスイッチ123、124（「SEL1、SEL2」ともいう）を介して、第1、第2のデータ線102、103に接続されている。

このように、各画素113、114は、発光素子122の駆動用のTFT115、容量116、第1の制御線KA（105）上を伝達する制御信号KA、第2の制御信号KB（106）上を伝達する制御信号KBによって制御され、データ線と駆動用のTFT115のゲートとの間に設けられ、直列形態に接続されている第1、第2のスイッチ（SW1、SW2）とを基本構成（図5中、破線で示したブロック）としている。さらに、ソースが電源109に接続され、ゲートとドレインが短絡して第1、第2のスイッチ117、118の間に接続されている第2のTFT119を備え（第2のTFT119は第1のTFT115とカレントミラーを構成する）、電源線109、接地線110を備えている。また、1画素内の発光素子122は、一端が第1のTFT115のドレインに接続され、他端が接地線110に接続されている。

本実施例においては、上記特開平11-282419と相違して、図5に示すように、画素内の第1、第2のスイッチ117、118を制御するために、2つの画素113、114が、それぞれ異なる2本の制御線KA105、KB106を備えており、電流ドライバの1つの出力が2つの画素のそれぞれに入力される第1、第2のデータ線102、103のいずれかを選択するかを決める第1、第2の出力セレクト信号111、112によって制御されるスイッチ123、124を備えている。なお、この実施例では、出力セレクト信号1、2に基づき電流4を備えている。また、以下において、スイッチの制御端子に入力されオン・オフ制御のための制御信号がhighレベルのときスイッチはオンであり、lowレベルの場合、スイッチはオフであるものとする。

図6は、本発明の第1の実施例の動作を説明するためのタイミングチャートである。図6の制御信号KA(105)、KB(106)は、図5の制御線105、106上をそれぞれ伝達する信号に、図6の出力セレクト信号1、2は、図5の111、112に対応する。1水平期間の前半の駆動期間1において、制御信号KA(105)がアクティブ状態、1水平期間の後半の駆動期間2において、制御信号KB(106)がアクティブ状態とされる。出力セレクト信号1は、1水平期間の前半でアクティブ状態、後半でインアクティブ状態、出力セレクト信号2は、1水平期間の前半でインアクティブ状態、後半でアクティブ状態とされる。

マトリックス状の画素の内、1ライン分の画素に電流を供給し、記憶させる期間を1水平期間とする。図7に、1水平期間内の駆動期間1(図6参照)における画素1を示す。図7は、駆動期間1(図6参照)における、図5の第1の画素113の回路動作を説明するための図である。なお、図7において、図5の要素との対応は明らかであるため、発光素子122、容量116以外、参照番号は付していない。

図6の駆動期間1において、制御信号KA(105)、出力セレクト信号1がH(high)レベル、制御信号KB(106)、出力セレクト信号2がL(low)レベルとなり、画素1のSW1、SW2と、SEL1がオンし、画素2のSW1、SW2とSEL2がオフとなる。従って、電流ドライバ出力より、画素1のTFT1によって画素1の発光素子に供給したい電流に対応する電流Id1が、画素1のデータ線1と画素1のSW1を通して、画素1のゲート・ドレイン間が短絡し飽和領域で動作する第2の薄膜トランジスタTFT2に供給される。

画素1のTFT2の動作が安定した時点において、画素1のTFT2のゲート・ドレイン電圧は、画素1のTFT2に電流Id1が流れるような電圧となる。この電圧は、画素1のSW2を通して容量116に蓄積され、画素1のTFT1のゲートに印加される。この時、画素1のTFT1のゲート・ソース間電圧Vgs1が決まり、画素1のTFT1の持つ電圧-電流特性に従った電流Idrv1が、画素1の発光素子122に供給され、画素1の発光素子122は、その電流によって決まる輝度で発光する。

駆動期間1が終了する時点において、制御信号KA(105)がLレベル、画

## 16

素1のSW1、SW2のみオフとなり、他の制御信号は、駆動期間1の状態と同じとする。ただし、出力セレクト信号1は、制御信号KA(105)と同時にLレベルとなっても良い。この時、画素1のスイッチSW1と同時にセレクタSEL1もオフとなる。

1水平期間の駆動期間2において、制御信号KA(105)、出力セレクト信号1がLレベル、制御信号KB(106)、出力セレクト信号2がHレベルとなり、画素1のSW1、SW2とSEL1がオフ、画素2のSW1、SW2と、SEL2がオフとなる。従って、駆動期間1の画素2では、駆動期間1の画素1における動作と同様に、電流ドライバ出力より、画素2のTFT1によって画素2の発光素子122に供給したい電流に対応する電流Id2が、画素2のデータ線と画素2のSW1を通して、画素2のゲート・ドレイン間が短絡し、飽和領域で動作するTFT2に供給される。画素2のTFT2の動作が安定した時点において、画素2のTFT2のゲート・ドレイン電圧は、画素2のTFT2に電流Id2が流れれるような電圧となる。この電圧は、画素2のSW2を通して容量116に蓄積され、画素2のTFT1のゲートに印加される。この時、画素2のTFT1のゲート・ソース間電圧が決まり、画素2のTFT1の持つ電圧-電流特性に従った電流が、画素2の発光素子に供給され、画素2の発光素子は、その電流によって決まる輝度にて発光する。

図8は、図6の駆動期間2における画素1を説明するための図である。駆動期間2において、画素1のSW1、SW2は、オフである。この時、画素1のTFT2は、ゲート・ドレイン間がショートされているため、TFT2のゲート電圧は、TFT2のほぼしきい値電圧になるまで、ドレイン・ソース間に電流が流れれる。一方、画素1のTFT1のゲート電圧は、画素1のSW2がオフであるため、駆動期間1において決定した電圧Vgs1を保持し続ける。

駆動期間2が終了する時点において、駆動期間1と同様に、制御信号KB(106)がLレベル、画素2のSW1、SW2のみ変動してオフとなり、他の制御線は、駆動期間2と同じ状態とする。ただし、出力セレクト信号2は、制御信号KB(106)と同時にLレベルとなっても良い。この時、画素2のSW1と同時にSEL2もオフとなる。

以上の動作を1水平期間とする。このような1水平期間を全ラインおこなうことで、1画面分に相当する1フレームの駆動が完了する。本実施例の発光表示装置は、本1フレームを繰り返し行うことで駆動される。

上記したごとく、本実施例は、電流ドライバの1つの出力が、画素1と画素2のデータ線を選択・駆動できるように構成されており、さらに画素1と画素2は、異なる制御線によって制御するように構成されている。かかる構成により、駆動期間2における画素1のTFT1のゲート電圧の変動の影響を受けることなく、画素1のTFT2は、画素1の発光素子122に、駆動期間1に設定された電流 $I_{drv1}$ を供給し続けることができ、画素1の発光素子の輝度が変わらず、表示品位を保つことができる。

図9は、本発明の比較例を示す図であり、液晶表示装置などの電圧書き込み型アクティブマトリックス駆動装置に現在採用されている構成である。本構成は、図5に示す構成において、画素1、2のそれぞれのスイッチSW1、SW2の制御端子に共通の制御線を接続する構成としている。比較例においては、本実施例と異なり、一本の制御線104上を伝達する制御信号104により画素1、2のスイッチ117、118のオン、オフを制御するものであり、その動作は、図10に示したタイミングチャートのようなものとなる。駆動期間2において、画素1のSW1、SW2、特にSW2がオンであるため、駆動期間2における画素1のTFT2のゲート電圧の変動が、画素1のTFT1のゲート電圧に反映し、画素1の発光素子に駆動期間1において設定した電流を流すことができなくなる。そのため、画素1の発光素子の輝度が変わってしまい、表示品位が低下するという問題が現れる。

本実施例の基本構成及び動作は、上記特開平11-282419号公報とは、異なる発光素子駆動回路にも適用することができる。例えば、特願平2001-259000号（本願出願時未公開）に添付した図面の図31の発光素子駆動回路においても、図11に示すように、本実施例の基本構成（第1のTFT115、容量116、第1、第2のスイッチ117、118）を含み、電流ドライバの出力が画素1と画素2いずれかのデータ線を選択できるような構成としてもよい。図11を参照すると、第1のTFT115（TFT1）のドレインと、発光素子

122の一端(アノード端子)との間に第3のスイッチ120(SW3)を備え、発光素子122の一端(アノード端子)と接地線110との間に第4のスイッチ121(SW4)を備え、第3のスイッチ120、第4のスイッチ121の制御端子は、第3の制御線107(KC)と、第4の制御線108(KD)にそれぞれ接続されている。

図12は、図11に示した実施例の動作の一例を示すタイミングチャートである。制御線KC(107)上を伝達する制御信号KC(107)がHレベルのとき、スイッチSW3はオンし、発光素子122が、TFT115の出力電流(ドレン電流)により駆動されて発光し、制御線KD(108)上を伝達する制御信号KD(108)がHレベルのときスイッチSW4がオンし、発光素子122の一端は、接地される。より詳細には、図12を参照すると、1水平期間の駆動期間1において、出力セレクト信号1がHレベルとなり、制御信号KAがHレベルとされ、画素1のスイッチSW1、SW2がオンする。この間、画素1のスイッチSW3、SW4はオフ状態とされ、TFT1のドレンと発光素子122とは非導通状態とされている。画素1のスイッチSW1、SW2がオンすると、画素1の容量116の一端は、オン状態のスイッチSW1、SW2を介してデータ線1に接続され、容量116の端子電圧(TFT1のゲート電圧)は、電流ドライバ出力101の電流値に応じた電圧に設定される。つづく駆動期間2において、出力セレクト信号2がHレベルとなり(出力セレクト信号1はLレベル)、制御信号KBがHレベルであり(制御信号KAはLレベル)、画素2のスイッチSW1、SW2がオンする(画素1のスイッチSW1、SW2はオフする)。この間、画素2のスイッチSW3、SW4はオフ状態とされ、画素2のTFT1のドレンと発光素子122とは非導通状態とされている。画素2のスイッチSW1、SW2がオンすると、画素2の容量116の一端は、オン状態のスイッチSW1、SW2を介してデータ線2に接続され、容量116の端子電圧(TFT1のゲート電圧)は、電流ドライバ出力101の電流値に応じた電圧に設定される。つづいて、出力セレクト信号2はLレベルとされ(制御信号KA、KBはLレベルとされる)、画素1、画素2に共通の制御信号KCがHレベルとされ、スイッチSW3がオンし、画素1、画素2のそれぞれのTFT1のドレンが、オン状態のスイッチ3

を介して発光素子122に接続され、発光素子122にTFT1のドレイン電流(TFT1のドレイン電流値は容量116の端子電圧に依存する)が供給される。画素1、2のTFT1のゲート・ソース間電圧に従ったドレイン電流が、画素1、2の発光素子122に供給され、画素1、2の発光素子122は、その電流によって決まる輝度で発光する。つづいて、制御信号KCがLレベルとされ、制御信号KDがHとされ、発光素子122の一端が接地線110に接続され、発光素子122の発光が停止される。発光素子122の一端を接地線110に接続する期間は、図12に示した例に限定されるものでなく、予め設定されて所望に期間に行ってもよい。

本実施例によると、画素の規模がほぼ従来と同等であるが、電流ドライバの出力数は、発光表示装置内の全データ線数の1/2となり、必要な電流ドライバの数は、従来の半分となる。これに伴い、コスト、部品点数が減少し、さらに、前記電流ドライバと発光表示装置との接点も減少するため、信頼性、生産性も高くすることが可能となる。

次に本発明の第2の実施例について説明する。図13は、本発明の第2の実施例の構成を示す図である。図13を参照すると、第1の画素113(画素1)は、ソースが電源線109に接続され、ドレインが発光素子122に接続されており発光素子122に電流を供給するための、ポリシリコン製のpチャネルMOSFETよりなる第1のTFT115(TFT1)と、一端が第1のTFT115のゲートに接続され、他端が電源線109に接続されている容量116と、ソースが電源線109に接続されゲートとドレインが接続されている第2のTFT119(TFT2)のゲートと、第1のTFT115と容量116の接続点ノードとの間に接続されている第1のスイッチ117(SW1)と、第2のTFT119のドレインと第1のデータ線102(データ線1)の間に挿入されている第2のスイッチ118(SW2)とを備えており、第1のスイッチ117の制御端子は制御信号KA(105)を伝達する制御線KA(105)に接続され、第2のスイッチ118の制御端子は制御信号K(104)を伝達する制御線K(104)に接続されている。

第2の画素114(画素2)は、第2のTFT119のドレインが第2のスイ

スイッチ118を介して第2のデータ線103（データ線2）に接続され、第1のスイッチ117の制御端子は制御信号KB（106）を伝達する制御線KB（106）に接続され、第2のスイッチ118の制御端子は制御信号K（104）を伝達する制御線K（104）に接続されている。

本実施例は、図13に示すように、画素内の第1のスイッチSW1を制御するために、2つの画素で異なる2本の制御線KA（105）、KB（106）と、同じライン上の駆動回路内の第2のスイッチSW2を同時に制御する制御線K（104）とを備え、電流ドライバの1つの出力が2つの画素それぞれに入力するデータ線1、2のいずれかを選択するかを決める第出力セレクト信号1、2によって制御されるスイッチ123、124（SEL1、SEL2）を備える。

図14は、本実施例のタイミングチャートである。マトリックス状の画素のうち、1ライン分の画素に電流を供給し、記憶させる期間で、ライン上の前記発光素子駆動回路の全ての前記SW2がオンしている期間を1水平期間とする。

駆動期間1において、制御信号K（104）、制御信号KA（105）、出力セレクト信号1がHレベル、制御信号KB（106）、出力セレクト信号2がLレベルとなり、画素1のSW1、SW2、SEL1と、画素2のSW2がオン、画素2のSW1とSEL2がオフとなる。従って、電流ドライバ出力より、画素1のTFT1によって画素1の発光素子に供給したい電流に対応する電流Id1が、画素1のデータ線と画素1のSW1を通して、画素1のゲート・ドレイン間が短絡し、飽和領域で動作するTFT2に供給される。画素1のTFT2の動作が安定した時点において、画素1のTFT2のゲート・ドレイン電圧は、画素1のTFT2に電流Id1が流れのような電圧となる。この電圧は、画素1のSW2を通して、容量に蓄積され、画素1のTFT1のゲートに印加される。この時、画素1のTFT1のゲート・ソース間電圧が決まり、画素1のTFT1の持つ電圧—電流特性に従った電流が、画素1の発光素子に供給され、画素1の発光素子122は、その電流によって決まる輝度にて発光する。

駆動期間1が終了する時点において、制御信号KA（105）がLレベル、画素1のSW1のみオフとなり、他の制御信号は、駆動期間1の状態と同じとする。ただし、出力セレクト信号1は、制御信号KA（105）と同時にLレベルとな

っても良い。この時、画素1のSW1と同時にSEL1もオフとなる。

駆動期間2において、制御信号KA(105)、出力セレクト信号1がLレベル、制御信号K(104)、制御信号KB(106)、出力セレクト信号2がHレベルとなり、画素1のSW1とSEL1がオフ、画素1のSW2、画素2のSW1、SW2とSEL2がオンとなる。従って、駆動期間2の画素2では、駆動期間1の画素1における動作と同様に、電流ドライバ出力より、画素2のTFT1によって画素2の発光素子122に供給すべき電流に対応する電流Id2が、画素2のデータ線と画素2のSW1を通して、画素2のゲート・ドレイン間が短絡し、飽和領域で動作するTFT2に供給される。画素2のTFT2の動作が安定した時点において、画素2のTFT2のゲート・ドレイン電圧は、画素2のTFT2に電流Id2が流れるような電圧となる。この電圧は、画素2のSW2を通して、容量に蓄積され、画素2のTFT1のゲートに印加される。この時、画素2のTFT1のゲート・ソース間電圧が決まり、画素2のTFT1の持つ電圧-電流特性に従った電流が、画素2の発光素子に供給され、画素2の発光素子は、その電流によって決まる輝度で発光する。

駆動期間2において、画素1のSW1は、オフである。この時、前記第1の実施例と同様に、画素1のTFT2は、ゲート・ドレイン間がショートされているため、TFT2のゲート電圧は、ほぼTFT2のしきい値電圧になるまで、ドレイン・ソース間に電流が流れる。一方、画素1のTFT1のゲート電圧は、画素1のSW1がオフであるため、駆動期間1において決定された電圧を保持し続ける。

駆動期間2が終了する時点において、駆動期間1と同様に、制御信号KB(106)がLレベル、画素2のSW1のみ変動してオフとなり、他の制御信号は、駆動期間2と同じ状態とする。

その後、出力セレクト信号2と制御信号K(104)がLレベルになり、SEL1と画素1のSW2と画素2のSW2がオフする。ただし、出力セレクト信号2と制御信号K(104)は、制御信号KB(106)と同時にLレベルになつても良い。また、出力セレクト信号2と制御信号K(104)は、どちらかが先にLレベルになつても良いが、必ず制御信号KB(106)がLレベルとなるの

と同時、又はそれ以降にLレベルとなる。

以上の動作を1水平期間とする。このような1水平期間を全ラインおこなうことで、1画面分に相当する1フレームの駆動が完了する。本実施例の発光表示装置は、本1フレームを繰り返し行うことで駆動される。

本実施例においては、前記第1の実施例と同様に、電流ドライバの1つの出力が、画素1と画素2のデータ線を選択・駆動できるようにし、画素1と画素2は、異なる制御線によって制御している。これにより、駆動期間2における画素1のTFT1のゲート電圧の変動の影響を受けることなく、画素1のTFT2は、画素1の発光素子に、駆動期間1に設定された電流を供給し続けることができ、画素1の発光素子の輝度が変わらず、表示品位を保つことができる。

さらに、本実施例では、前記第1の実施例と相違して、1ライン共通の制御線を1種類増やし、SW2が駆動期間1、2の終了時に常にオンとしたため、画素1、画素2のSW1がオフする瞬間にSW2がオフする際に発生するノイズの影響を受けない。このため、前記実施例1よりも、安定な動作が可能である。

また、本実施例の基本構成・動作は、例えば、特願平2001-259000号(図31)の発光素子駆動回路においても、図15に示すように、本実施例の基本構成(破線で囲む)を含み、電流ドライバの出力101が画素1と画素2いずれかのデータ線を選択できるような構成に変更している。図15を参照すると、図13の構成に加え、画素1、2は、第1のTFT115(TFT1)のドレンと、発光素子122のアノードとの間に第3のスイッチ120(SW3)を備え、発光素子122のアノードと接地線110との間に第4のスイッチ121(SW4)を備え、第3のスイッチ120、第4のスイッチ121の制御端子は、第3の制御線KC(107)と、第4の制御線KD(108)にそれぞれ接続されている。図16は、図15の装置の動作を説明するタイミングチャートである。制御線KC(107)上を伝達する制御信号KC(107)がHのときスイッチSW3はオンし、発光素子122がTFT115により駆動され、制御線KD(108)上を伝達する制御信号KD(108)がHのときSW4はオンし、発光素子122のアノードは接地される。制御信号KC(107)、KD(108)によるスイッチSW3、SW4のオン、オフ制御は、図12に示した例と同様とされる。

る。

本実施例も、前記実施例1と同様に、画素の規模がほぼ従来と同等であるが、必要電流ドライバの出力数は、発光表示装置内の全データ線数の1/2となり、必要な電流ドライバの数は、従来の半分となる。それに伴い、コスト、部品点数が減少し、さらに、電流ドライバと発光表示装置との接点も減少するため、信頼性、生産性も高くすることが可能となる。

上記実施例に示した構成は、電流ドライバを発光表示装置と同じ基板上に作成した場合でも、同様な構成・動作を行うことが可能である。この場合、内蔵された電流ドライバの出力数は、本発明の構成をとらない場合の半分とすることができた電流ドライバの回路規模・面積を削減できる。このため、製品歩留まりの向上、コスト低減、信頼性、生産性の向上を可能としている。なお、上記実施例において、TFT1、TFT2をpMOSトランジスタで構成したが、これをnMOSトランジスタで構成してもよいことは勿論である。この場合、nMOSトランジスタTFT1(TFT2)のソースが接地線110に接続され、ドレインが直接又はスイッチSW122の一端(例えばカソード端子)に接続され、発光端子3を介して発光端子122の一端(例えばアノード端子)が電源線109に接続される構成とされる。122の他端(例えばアノード端子)が電源線109に接続される構成とされる。以上、本発明を上記実施例に即して説明したが、本発明は、上記実施例にのみ限定されるものではなく、特許請求の範囲の各請求項の発明の範囲内で、当業者であればなし得るであろう各種変形、修正を含むことは勿論である。

#### 産業上の利用可能性

以上説明したように、本発明によれば、電流負荷と電流負荷駆動回路を有する電流負荷セルをマトリックス状に備える半導体装置において、電流ドライバの1出力によって複数のデータ線を駆動する構成としたことにより、必要な電流ドライバの出力数を減らすことを可能としており、電流ドライバの数を減らすことができ、低コスト化を可能としている。

さらに、本発明によれば、電流ドライバの出力数が減るために、装置との接続点を減らすことができるため、信頼性や生産性を高めることもできる。

また、本発明によれば、電流ドライバを内蔵した電流負荷と負荷駆動回路をマ

24

トリックス状に備える半導体装置において、電流ドライバの1出力により複数のデータ線を駆動することができるため、必要な電流ドライバの出力数を減らすことができる。

そして、本発明によれば、内蔵された電流ドライバの回路規模が減少するため、歩留まりが上昇し、回路面積が減少するため、低コスト化を可能としている。

## 請求の範囲

1. 電流負荷と、電流負荷駆動回路と、を備える電流負荷セルが、マトリックス状に配置され、アクティブ駆動電流書き込みを行う半導体装置において、データ線に電流を供給する電流ドライバの1つの電流出力に対して、複数本のデータ線を1本ずつ選択し、選択されたデータ線に前記電流出力を供給する手段を備え、

前記電流負荷セル内の電流負荷駆動回路は、

第1の電源にソースが接続され、ドレインが直接、又はスイッチを介して前記電流負荷に接続されたトランジスタと、

前記トランジスタのゲートと、前記第1の電源又は前記第1の電源とは別の電源との間に接続された容量と、

前記トランジスタのゲートと、対応するデータ線との間に接続される、一つのスイッチ又は直列接続された複数のスイッチと、を備え、

前記電流負荷駆動回路の前記トランジスタのゲートに接続される前記スイッチを制御する制御線を、少なくとも、前記半導体装置の1ラインにおいて、前記電流ドライバの1電流出力が選択できるデータ線の本数と同じ数分備えている、ことを特徴とする半導体装置。

2. 1ラインを選択した1水平期間において、

前記電流ドライバの各電流出力が、前記複数本のデータ線のうち1本を選択した期間に、前記複数の制御線のうち対応する1本の制御線上を伝達する制御信号によって、前記電流負荷セルの前記トランジスタのゲートに電気的に接続されるように1つ以上のスイッチをオンすることで、前記電流負荷セル内の前記トランジスタのゲートと容量の一端に、前記電流ドライバの1つの出力からの電流に対応する電圧値を設定する動作を行い、

前記複数のデータ線のうち1本を選択した期間が終了する前、又は、同時に、前記スイッチをオフすることで前記設定電圧を保持する動作を行い、

前記各制御を、前記複数本のデータ線のそれぞれに対して行うことで、1ラインに相当する前記電流負荷セルへの電流書き込みを完了する動作を行う手段を備

えている、ことを特徴とする請求項1記載の半導体装置。

3. 電流負荷と電流負荷駆動回路とを備える電流負荷セルがマトリックス状に配置され、アクティブ駆動電流書き込みを行う半導体装置において、データ線に電流を供給する電流ドライバの1つの電流出力に対して、複数本のデータ線を1本ずつ選択し、選択されたデータ線に前記電流出力を供給する手段を備え、

前記電流負荷セル内の電流負荷駆動回路は、

第1の電源にソースが接続され、ドレインが直接、又はスイッチを介して前記電流負荷に接続されたトランジスタと、

前記トランジスタのゲートと、前記第1の電源又は前記第1の電源とは別の電源との間に接続された容量と、

前記トランジスタのゲートと、対応するデータ線との間に直列に接続された複数のスイッチと、を備え、

前記電流負荷駆動回路の前記トランジスタのゲートに一端が接続されるスイッチを制御する制御線を、前記半導体装置の1ラインにおいて、少なくとも、前記電流ドライバの1電流出力が選択できるデータ線の本数と同じ数分備え、

前記電流負荷駆動回路の前記電流負荷セルに対応するデータ線に一端が接続されるスイッチを制御する制御線を、前記半導体装置のラインごとにさらに備えている、ことを特徴とする半導体装置。

4. 1ラインを選択した1水平期間において、

前記ラインごとに備えられた制御線上を伝達する制御信号により、1ラインに相当する全電流負荷セル内の、前記電流負荷セルに対応するデータ線に一端が接続されるスイッチを前記1水平期間、オンとし、

前記電流ドライバの各電流出力が、前記複数本のデータ線のうち1本を選択した期間に、前記複数の制御線のうち対応する1本の制御線上を伝達する制御信号によって、前記電流負荷セルの前記トランジスタのゲートに電気的に接続されるように1つ以上のスイッチをオンすることで、前記電流負荷セル内の前記トランジスタのゲートと容量の一端に、前記電流ドライバの1つの電流出力からの電流に対応する電圧値を設定する動作を行い、

前記複数のデータ線のうち1本を選択した期間が終了する前、又は同時に、前記スイッチをオフすることで前記設定電圧を保持する動作を行い、

前記各制御を、前記複数本のデータ線のそれぞれに対して行うことで、1ラインに相当する前記電流負荷セルへの電流書き込みを完了する動作を行う手段を備えている、ことを特徴とする請求項3記載の半導体装置。

5. 電流負荷と、電流負荷駆動回路と、を備える電流負荷セルが、マトリクス状に配置され、アクティブ駆動電流書き込みを行う半導体装置において、データ線に電流を供給する電流ドライバの1つの電流出力に対して、複数本のデータ線を1本ずつ選択し、選択されたデータ線に前記電流出力を供給する手段を備え、

前記電流負荷セル内の電流負荷駆動回路は、

前記データ線を経由して前記電流ドライバより供給される電流に従い電圧を出力する手段と、

前記電圧を保持する手段と、

前記保持された電圧に従い前記電流負荷に電流を供給する手段と、

入力される制御信号に従い前記機能の実行を制御する手段を備え、

前記制御信号を伝達する制御線を、少なくとも、前記半導体装置の1ラインにおいて、前記電流ドライバの1電流出力が選択できるデータ線の本数と同じ数分備えている、ことを特徴とする半導体装置。

6. 電流負荷と、電流負荷駆動回路と、を備える電流負荷セルが、マトリクス状に配置され、アクティブ駆動電流書き込みを行う半導体装置において、データ線に電流を供給する電流ドライバの1つの電流出力に対して、複数本のデータ線を1本ずつ選択し、選択されたデータ線に前記電流出力を供給する手段を備え、

前記電流負荷セル内の電流負荷駆動回路は、

前記データ線を経由して前記ドライバより供給される電流に従い電圧を出力する手段と、

前記電圧を保持する手段と、

前記保持された電圧に従い前記電流負荷に電流を供給する手段と、

前記電流負荷セルに入力される第一の制御信号に従い前記電圧を保持するか否かを制御する手段と、

前記電流負荷セルに入力される第二の制御信号に従い前記データ線と前記電圧を出力する手段との間を接続するか否かを制御する手段を少なくとも備え、

前記第一の制御信号を伝達する制御線を、少なくとも、前記半導体装置の 1 ラインにおいて、前記電流ドライバの 1 電流出力が選択できるデータ線の本数と同じ数分備え、

前記第二の制御信号を伝達する制御線を、前記半導体装置のラインごとにさらに備えている、ことを特徴とする半導体装置。

7. 前記電流ドライバを前記半導体装置と同一基板上に搭載していることを特徴とする請求項 1 乃至 6 のいずれか一に記載の半導体装置。

8. 前記電流負荷が発光素子である、ことを特徴とする請求項 1 乃至 7 のいずれか一に記載の半導体装置。

9. 電流負荷が有機エレクトロルミネッセンス素子である、ことを特徴とする請求項 1 乃至 7 のいずれか一に記載の半導体装置。

10. 電流負荷と電流負荷駆動回路とを備える電流負荷セルが、マトリックス状に配置されており、

データ線を電流駆動する電流ドライバの 1 電流出力が、セレクタに入力され、前記セレクタでは、入力される出力セレクト信号に基づき前記セレクタの複数の出力にそれぞれ接続されている複数本のデータ線の 1 本ずつを選択し、前記選択されたデータ線に前記電流ドライバの電流出力が供給される構成とされており、

前記電流負荷セルの前記電流負荷駆動回路は、

第 1 の電源にソースが接続され、ドレンが直接、又はスイッチを介して前記電流負荷に接続されており、前記電流負荷への電流を供給するトランジスタと、

前記トランジスタのゲートと、前記第 1 の電源又は前記第 1 の電源とは別の電源との間に接続された容量と、

前記トランジスタのゲートと、対応するデータ線との間に接続される、1 つのスイッチ又は直列接続された複数のスイッチと、

を備え、

前記電流負荷駆動回路内の前記スイッチを制御する制御線を、少なくとも、前記半導体装置の 1 ラインにおいて、前記電流ドライバの 1 電流出力が前記セレクタを介して選択できるデータ線の本数と同じ数備えており、

アクティブ駆動電流書き込みを行う半導体装置の駆動方法であって、

1 ラインを選択した 1 水平期間において、

前記出力セレクト信号に基づき、前記セレクタにより前記複数本のデータ線のうちの 1 本のデータ線を選択した期間に、前記複数の制御線の内、前記選択されたデータ線に対応する制御線上を伝達する制御信号によって、

前記電流負荷セル内の前記トランジスタのゲートに一端が接続されるスイッチをオンすることで、前記電流負荷セル内の前記トランジスタに対して、前記電流ドライバから前記選択されたデータ線に供給される電流出力に対応する電流を前記電流負荷に流すように設定する第 1 のステップと、

前記選択された 1 本のデータ線の選択期間が終了する前に、又は同時に、前記スイッチをオフする制御を行う第 2 のステップと、を有し、

前記第 1 及び第 2 のステップを、前記複数本のデータ線のそれぞれに対して行うことで、1 ラインに相当する前記電流負荷セルへの電流書き込みを完了することを特徴とする半導体装置の駆動方法。

11. 電流負荷と電流負荷駆動回路とを備える電流負荷セルが、マトリックス状に配置されており、

データ線を電流駆動する電流ドライバの 1 電流出力が、セレクタに入力され、前記セレクタでは、入力される出力セレクト信号に基づき前記セレクタの複数の出力にそれぞれ接続されている複数本のデータ線の 1 本ずつを選択し、前記選択されたデータ線に前記電流ドライバの電流出力が供給される構成とされており、

前記電流負荷セル内の電流負荷駆動回路は、

第 1 の電源にソースが接続され、ドレインが直接、又はスイッチを介して前記電流負荷に接続されており、前記電流負荷への電流を記憶して供給するトランジスタと、

前記トランジスタのゲートと、前記第 1 の電源又は前記第 1 の電源とは別の電源との間に接続された容量と、

前記トランジスタのゲートと、対応するデータ線との間に直列に接続された複数のスイッチと、を備え、

前記電流負荷駆動回路内の前記トランジスタのゲートに一端が接続されるスイッチを制御する制御線を、前記半導体装置の1ラインにおいて、少なくとも、前記電流ドライバの1出力が選択できるデータ線の本数と同じ数分備え、

前記電流負荷駆動回路内の前記電流負荷セルに対応するデータ線に一端が接続されるスイッチを制御する制御線を、前記半導体装置のラインごとに備えており、

アクティブ駆動電流書き込みを行う半導体装置の駆動方法であって、

1ラインを選択した1水平期間において、前記ラインごとに備えられた制御線上を伝達する制御信号によって、1ラインに相当する前記電流負荷セル内の、前記電流負荷セルに対応データ線に一端が接続されているスイッチを、1水平期間、オン状態とする第1のステップと、

前記出力セレクト信号に基づき、前記セレクタにより前記複数本のデータ線のうちの1本のデータ線を選択した期間に、前記複数の制御線のうち、前記選択されたデータ線に対応する制御線上を伝達する制御信号によって、前記電流負荷セル内の前記トランジスタのゲートに一端が接続されるスイッチをオンすることで、前記電流負荷セル内の前記トランジスタに対して、前記電流ドライバから前記選択されたデータ線に供給させる電流出力に対応する電流を、前記電流負荷に流すように設定する第2のステップと、

前記選択された1本のデータ線の選択期間が終了する前に、又は同時に、前記複数の制御線のうち、前記選択されたデータ線に対応する制御線上を伝達する制御信号によって、前記スイッチをオフする制御を行う第3のステップと、

を有し、前記第2乃至第3のステップを、前記複数本のデータ線のそれぞれに對して行うことで、1ラインに相当する前記電流負荷セルへの電流書き込みを完了する制御を行う、ことを特徴とする半導体装置の駆動方法。

12. 基板上一方向に延在されている複数本のデータ線と、

前記データ線と直交する方向に延在される複数本の制御線と、を備え、

前記複数本のデータ線と前記複数本の制御線との交差部に電流負荷セルを複数備え、

前記電流負荷セルのそれぞれが、

電流負荷と、

前記電流負荷を駆動する電流負荷駆動回路と、

を備えた半導体装置において、

データ線を電流駆動するドライバの1つの電流出力を入力端から入力し、複数の出力端に、複数本のデータ線がそれぞれ接続されているセレクタを備え、

前記セレクタは、入力される出力セレクト信号に基づき、前記複数本のデータ線のいずれか一つを選択して、前記ドライバの電流出力を、前記選択されたデータ線に供給し、

前記セレクタに接続される前記複数本のデータ線は、それぞれ、対応する複数の電流負荷セルと接続され、

前記電流負荷セルの各々において、

前記電流負荷駆動回路は、ソースが第1の電源に接続され、ドレインが直接又は、第3のスイッチを介して前記電流負荷の一端に接続されている第1のMOSトランジスタを備え、

前記電流負荷の他端は第2の電源に接続されており、

前記第1のMOSトランジスタのゲートと、前記第1の電源又は前記第1の電源とは別の電源とに、一端と他端がそれぞれ接続されている容量と、

前記第1のMOSトランジスタのゲートと前記容量の一端との接続点ノードに一端が接続されている第1のスイッチを備え、

前記第1のスイッチの他端は、直接又は、第2のスイッチを介して、対応するデータ線に接続されており、

少なくとも、前記セレクタに接続される複数本のデータ線にそれぞれ接続される前記複数の電流負荷セルの各々に対応する制御信号を伝達する制御線を備え、

前記複数の電流負荷セルの各々において、前記電流負荷駆動回路の前記第1のスイッチの制御端子に、又は、前記第1のスイッチの制御端子と前記第2のスイッチの制御端子に共通に、前記複数の電流負荷セルの各々に対応して設けられている制御信号が供給される、ことを特徴とする半導体装置。

13. 基板上一方向に延在されている複数本のデータ線と、

前記データ線と直交する方向に延在される複数本の制御線と、を備え、  
前記複数本のデータ線と前記複数本の制御線との交差部に電流負荷セルを複数  
備え、

前記電流負荷セルのそれぞれが、

電流負荷と、

前記電流負荷を駆動する電流負荷駆動回路と、  
を備えた半導体装置において、

データ線を電流駆動するドライバの1つの電流出力を入力端から入力し、複数  
の出力端に、複数本のデータ線がそれぞれ接続されているセレクタを備え、

前記セレクタは、入力される出力セレクト信号に基づき、前記複数本のデータ  
線のいずれか一つを選択して、前記ドライバの電流出力を、前記選択されたデータ  
線に供給し、

前記セレクタに接続される前記複数本のデータ線は、それぞれ、対応する複数  
の電流負荷セルに接続され、

前記電流負荷セルの各々において、

前記電流負荷駆動回路は、ソースが第1の電源に接続され、ドレインが直接又  
は、第3のスイッチを介して前記電流負荷の一端に接続されている第1のMOS  
トランジスタを備え、

前記電流負荷の他端は第2の電源に接続されており、

前記第1のMOSトランジスタのゲートと、前記第1の電源又は前記第1の電  
源とは別の電源とに、一端と他端がそれぞれ接続されている容量と、

前記第1のMOSトランジスタのゲートと前記容量の一端との接続点ノードに  
一端が接続されている第1のスイッチを備え、

前記第1のスイッチの他端は、第2のスイッチを介して、対応するデータ線に  
接続されており、

少なくとも、前記セレクタに接続される複数本のデータ線にそれぞれ接続され  
る前記複数の電流負荷セルの各々の前記電流負荷駆動回路の前記第1のスイッチ  
に対応する制御信号を伝達する制御線を備え、

前記複数の電流負荷セルの各々の前記電流負荷駆動回路の第2のスイッチに対

応して共通の制御信号を伝達する制御線を備え、

前記電流負荷セルの前記電流負荷駆動回路の前記第1のスイッチの制御端子には、前記複数の前記電流負荷セルの各々に対応する制御信号が供給され、

前記電流負荷セルの前記電流負荷駆動回路の前記第2のスイッチの制御端子には、前記共通の制御信号が供給される、ことを特徴とする半導体装置。

14. ソースが前記第1の電源に接続されゲートとドレインが接続されている第2のMOSトランジスタを備え、

前記第1のスイッチは、前記第2のMOSトランジスタのゲートと、前記第1のMOSトランジスタのゲートと前記容量の一端との接続点ノードとの間に接続されており、

前記第2のスイッチは、前記第2のMOSトランジスタのドレインと、対応するデータ線との間に挿入されている、ことを特徴とする請求項12又は13記載の半導体装置。

15. 前記電流負荷の一端と前記第2の電源との間に第4のスイッチを備えることを特徴とする請求項12乃至14のいずれか一に記載の半導体装置。

16. 前記第1のMOSトランジスタがTFTである、ことを特徴とする請求項12乃至15のいずれか一に記載の半導体装置。

17. 前記第2のMOSトランジスタがTFTである、ことを特徴とする請求項14記載の半導体装置。

18. 前記電流負荷が発光素子である、ことを特徴とする請求項12乃至17のいずれか一に記載の半導体装置。

19. 前記電流ドライバを前記半導体装置と同一基板上に搭載していることを特徴とする請求項12乃至18のいずれか一に記載の半導体装置。

20. 前記電流負荷が発光素子である、ことを特徴とする請求項12乃至19のいずれか一に記載の半導体装置。

21. 前記電流負荷が有機エレクトロルミネッセンス素子よりなる、ことを特徴とする請求項12乃至19のいずれか一に記載の半導体装置。

22. 基板上一方向に延在されている複数本のデータ線と、

前記データ線と直交する方向に延在される複数本の制御線と、を備え、

前記複数本のデータ線と前記複数本の制御線との交差部に電流負荷セルを複数備え、

前記電流負荷セルのそれぞれが、

電流負荷と、

前記電流負荷を駆動する電流負荷駆動回路と、

を備え、

データ線を電流駆動するドライバの1つの電流出力を入力端から入力し、複数の出力端に、複数本のデータ線がそれぞれ接続されているセレクタを備え、

前記セレクタは、入力される出力セレクト信号に基づき、前記複数本のデータ線のいずれか一つを選択して、前記ドライバの電流出力を、前記選択されたデータ線に供給し、

前記セレクタに接続される前記複数本のデータ線は、それぞれ、対応する複数の電流負荷セルに接続され、

前記電流負荷セルの各々において、

前記電流負荷駆動回路は、ソースが第1の電源に接続され、ドレンが前記電流負荷の一端に接続されている第1のMOSトランジスタを備え、

前記電流負荷の他端は第2の電源に接続されており、

前記第1のMOSトランジスタのゲートと、前記第1の電源又は他の電源とに一端と他端がそれぞれ接続されている容量と、

前記第1のMOSトランジスタのゲートと前記容量の一端との接続点ノードに一端が接続されている第1のスイッチを備え、

前記第1のスイッチの他端は、直接又は、第2のスイッチを介して、対応するデータ線に接続されており、

前記セレクタに接続される複数本のデータ線にそれぞれ接続される前記複数の電流負荷セルの各々に対応する制御信号を伝達する制御線を備え、

前記複数の電流負荷セルの各々において、前記電流負荷駆動回路の前記第1のスイッチの制御端子に、又は、前記第1のスイッチの制御端子と前記第2のスイッチの制御端子に共通に、前記複数の電流負荷セルの各々に対応して設けられている制御線が供給される半導体装置の駆動方法であって、

1周期が、前記セレクタを介して前記ドライバに接続される複数本のデータ線にそれぞれ接続される複数の前記電流負荷セルに対応する数の複数の駆動期間に区分されており、

(a) 前記複数の電流負荷セルのそれぞれに対応した各駆動期間では、前記セレクタによって前記複数のデータ線のうち1本の対応するデータ線が出力セレクト信号で選択され、

(b) 前記複数の制御線のうち、前記セレクタで選択されたデータ線に対応する電流負荷セルに対応する制御線上を伝達する制御信号によって、前記電流負荷セル内の前記第1のスイッチ、又は第1及び第2のスイッチをオンすることで、前記電流負荷セル内の前記第1のMOSトランジスタに、前記データ線に供給されるドライバの電流出力に対応する電流を流し、

(c) 前記セレクタが、前記出力セレクト信号に基づき次のデータ線の選択に切替える前に、又は、切替と同時に、前記(a)で選択されていたデータ線に対応する前記電流負荷セルに対応する制御線上を伝達する制御信号により、前記電流負荷セルの前記第1のスイッチ、又は前記第1及び第2のスイッチを、オフする制御を行い、

前記(a)乃至(c)の処理を、前記セレクタを介して前記ドライバに接続される複数本のデータ線のそれぞれに対して行うことで、前記1周期に対応する前記電流負荷セルへの電流書き込みを完了する、ことを特徴とする半導体装置の駆動方法。

23. 基板上一方向に延在されている複数本のデータ線と、  
前記データ線と直交する方向に延在される複数本の制御線と、を備え、  
前記複数本のデータ線と前記複数本の制御線との交差部に電流負荷セルを複数備え、

前記電流負荷セルのそれぞれが、  
電流負荷と、  
前記電流負荷を駆動する電流負荷駆動回路と、  
を備えた半導体装置において、  
データ線を電流駆動するドライバの1つの電流出力を入力端から入力し、複数

の出力端に、複数本のデータ線がそれぞれ接続されているセレクタを備え、

前記セレクタは、入力される出力セレクト信号に基づき、前記複数本のデータ線のいずれか一つを選択して、前記ドライバの電流出力を、前記選択されたデータ線に供給し、

前記セレクタに接続される前記複数本のデータ線は、それぞれ、対応する複数の電流負荷セルに接続され、

前記電流負荷セルの各々において、

前記電流負荷駆動回路は、ソースが第1の電源に接続され、ドレインが前記電流負荷の一端に接続されている第1のMOSトランジスタを備え、

前記電流負荷の他端は第2の電源に接続されており、

前記第1のMOSトランジスタのゲートと、前記第1の電源又は他の電源とに一端と他端がそれぞれ接続されている容量と、

前記第1のMOSトランジスタのゲートと前記容量の一端との接続点ノードに一端が接続されている第1のスイッチを備え、

前記第1のスイッチの他端は、第2のスイッチを介して、対応するデータ線に接続されており、

前記セレクタに接続される複数本のデータ線にそれぞれ接続される前記複数の電流負荷セルの各々の前記電流負荷駆動回路の前記第1のスイッチに対応する制御信号を伝達する制御線を備え、

前記複数の電流負荷セルの各々の前記電流負荷駆動回路の第2のスイッチに対応して共通の制御信号を伝達する共通の制御線を備え、

前記電流負荷セルの前記電流負荷駆動回路の前記第1のスイッチの制御端子には、複数の前記電流負荷セルの各々に対して個別に設けられている制御信号が供給され、

前記電流負荷セルの前記電流負荷駆動回路の前記第2のスイッチの制御端子には、前記共通の制御信号が供給される半導体装置の駆動方法であって、

1周期が、前記セレクタを介して前記ドライバに接続される複数本のデータ線にそれぞれ接続される複数の前記電流負荷セルに対応する数の複数の駆動期間に区分されており、

前記共通の制御信号により、前記1周期の間、前記電流負荷セル内の前記第2のスイッチをオンし、

(a) 前記複数の電流負荷セルのそれぞれに対応した各駆動期間では、前記セレクタによって前記複数のデータ線のうち1本の対応するデータ線が出力セレクト信号で選択され、

(b) 前記複数の制御線のうち、前記セレクタで選択されたデータ線に対応する電流負荷セルに対応する制御線上を伝達する制御信号によって、前記電流負荷セル内の前記第1のスイッチをオンすることで、前記電流負荷セル内の前記第1のMOSトランジスタに、前記データ線に供給されるドライバの電流出力に対応する電流を流し、

(c) 前記セレクタが、前記出力セレクト信号に基づき次のデータ線の選択に切替える前に、又は、切替と同時に、前記(a)で選択されていたデータ線に対応する前記電流負荷セルに対応する制御線上を伝達する制御信号により、前記第1スイッチをオフする制御を行い、

前記(a)乃至(c)の処理を、前記セレクタを介して前記ドライバに接続される複数本のデータ線のそれぞれに対して行うことで、前記1周期に対応する前記電流負荷セルへの電流書き込みを完了する、ことを特徴とする半導体装置の駆動方法。

24. ソースが前記第1の電源に接続されゲートとドレインが接続されている第2のMOSトランジスタを備え、

前記第1のスイッチは、前記第2のMOSトランジスタのゲートと、前記第1のMOSトランジスタのゲートと前記容量の一端との接続点ノードとの間に接続されており、

前記第2のスイッチは、前記第2のMOSトランジスタのドレインと、対応するデータ線との間に挿入されている、ことを特徴とする請求項22又は23記載の半導体装置の駆動方法。

25. 基板上一方向に延在されている複数本のデータ線と、

前記データ線と直交する方向に延在される複数本の制御線と、を備え、

前記複数本のデータ線と前記複数本の制御線との交差部に電流負荷セルを複数

備え、

前記電流負荷セルのそれぞれが、

電流負荷と、

前記電流負荷を駆動する電流負荷駆動回路と、を備え、

データ線を電流駆動するドライバの1つの電流出力を入力端から入力し、複数の出力端に、複数本のデータ線がそれぞれ接続されているセレクタを備え、

前記セレクタは、入力される出力セレクト信号に基づき、前記複数本のデータ線のいずれか一つを選択して、前記ドライバの電流出力を、前記選択されたデータ線に供給し、

前記セレクタに接続される前記複数本のデータ線は、それぞれ、対応する複数の電流負荷セルに接続され、

前記電流負荷セルの各々において、

前記電流負荷駆動回路は、ソースが第1の電源に接続され、ドレンが、スイッチ（「第3のスイッチ」という）を介して前記電流負荷の一端に接続されている第1のMOSトランジスタを備え、

前記電流負荷の他端は第2の電源に接続されており、

前記第1のMOSトランジスタのゲートと、前記第1の電源又は他の電源とに一端と他端がそれぞれ接続されている容量と、

前記第1のMOSトランジスタのゲートと前記容量の一端との接続点ノードに一端が接続されている第1のスイッチを備え、

前記第1のスイッチの他端は、直接又は、第2のスイッチを介して、対応するデータ線に接続されており、

前記セレクタに接続される複数本のデータ線にそれぞれ接続される前記複数の電流負荷セルの各々に対応する制御信号を伝達する制御線を備え、

前記複数の電流負荷セルの各々において、前記電流負荷駆動回路の前記第1のスイッチの制御端子に、又は、前記第1のスイッチの制御端子と前記第2のスイッチの制御端子に共通に、前記複数の電流負荷セルの各々に対応する制御線を通して制御信号が供給され、

前記電流負荷の一端と前記第3のスイッチとの接続点ノードと前記第2の電源

との間に第4のスイッチを備え、

前記セレクタに接続される複数本のデータ線にそれぞれ接続される前記複数の電流負荷セルの前記電流負荷駆動回路に対して、前記第3のスイッチの制御端子に接続される共通の制御線が設けられており、前記第4のスイッチの制御端子に接続される共通の制御線が設けられている半導体装置の駆動方法であって、

1周期が、前記セレクタを介して前記ドライバに接続される複数本のデータ線にそれぞれ接続される複数の前記電流負荷セルに対応する数の複数の駆動期間に区分されており、

(a) 前記複数の電流負荷セルのそれぞれに対応した各駆動期間では、前記セレクタによって前記複数のデータ線のうち1本の対応するデータ線が出力セレクト信号で選択され、

(b) 前記複数の制御信号のうち、前記セレクタで選択されたデータ線に対応する電流負荷セルに対応する制御信号によって、前記電流負荷セル内の前記第1のスイッチ、又は第1及び第2のスイッチをオンし、前記共通の制御線上の制御信号により、前記第3のスイッチはオフ状態とし、前記第1のMOSトランジスタのゲートに接続される前記容量の端子電圧を、前記データ線に供給されるドライバの電流出力に対応する電圧に設定し、

(c) 前記セレクタが、前記出力セレクト信号に基づき次のデータ線の選択に切替える前に、又は、切替と同時に、前記(a)で選択されていたデータ線に対応する前記電流負荷セルに対応する制御信号により、前記電流負荷セルの前記第1のスイッチ、又は前記第1及び第2のスイッチを、オフする制御を行い、

前記(a)乃至(c)の処理を、前記セレクタを介して前記ドライバに接続される複数本のデータ線のそれぞれに対して行うことで、前記1周期に対応する前記電流負荷セルの前記第1のMOSトランジスタへの電流設定を行い、

(d) 前記周期につづいて前記第3のスイッチをオンし、前記電流負荷セルの前記第1のMOSトランジスタのドレン電流が前記電流負荷セルに供給される、ことを特徴とする半導体装置の駆動方法。

26. 基板上一方向に延在されている複数本のデータ線と、

前記データ線と直交する方向に延在される複数本の制御線と、を備え、

前記複数本のデータ線と前記複数本の制御線との交差部に電流負荷セルを複数備え、

前記電流負荷セルのそれぞれが、

電流負荷と、

前記電流負荷を駆動する電流負荷駆動回路と、を備えた半導体装置において、データ線を電流駆動するドライバの1つの電流出力を入力端から入力し、複数の出力端に、複数本のデータ線がそれぞれ接続されているセレクタを備え、

前記セレクタは、入力される出力セレクト信号に基づき、前記複数本のデータ線のいずれか一つを選択して、前記ドライバの電流出力を、前記選択されたデータ線に供給し、

前記セレクタに接続される前記複数本のデータ線は、それぞれ、対応する複数の電流負荷セルに接続され、

前記電流負荷セルの各々において、

前記電流負荷駆動回路は、ソースが第1の電源に接続され、ドレンが、スイッチ（「第3のスイッチ」という）を介して前記電流負荷の一端に接続されている第1のMOSトランジスタを備え、

前記電流負荷の他端は第2の電源に接続されており、

前記第1のMOSトランジスタのゲートと、前記第1の電源又は他の電源とに一端と他端がそれぞれ接続されている容量と、

前記第1のMOSトランジスタのゲートと前記容量の一端との接続点ノードに一端が接続されている第1のスイッチを備え、

前記第1のスイッチの他端は、第2のスイッチを介して、対応するデータ線に接続されており、

前記セレクタに接続される複数本のデータ線にそれぞれ接続される前記複数の電流負荷セルの各々の前記電流負荷駆動回路の前記第1のスイッチに対応する制御信号を伝達する制御線を備え、

前記複数の電流負荷セルの各々の前記電流負荷駆動回路の第2のスイッチに対応して共通の制御線を備え、

前記電流負荷セルの前記電流負荷駆動回路の前記第1のスイッチの制御端子に

は、複数の前記電流負荷セルの各々に対応する制御線を通して制御信号が供給され、

前記電流負荷セルの前記電流負荷駆動回路の前記第2のスイッチの制御端子には、前記共通の制御線を通して制御信号が供給され、

前記電流負荷の一端と前記第3のスイッチとの接続点ノードと前記第2の電源との間に第4のスイッチを備え、

前記セレクタに接続される複数本のデータ線にそれぞれ接続される前記複数の電流負荷セルの前記電流負荷駆動回路に対して、前記第3のスイッチの制御端子に接続される共通の制御線が設けられており、前記第4のスイッチの制御端子に接続される共通の制御線が設けられている半導体装置の駆動方法であって、

1周期が、前記セレクタを介して前記ドライバに接続される複数本のデータ線にそれぞれ接続される複数の前記電流負荷セルに対応する数の複数の駆動期間に区分されており、

前記1周期の間、それぞれの前記共通の制御線上の制御信号により、前記電流負荷セル内の前記第2のスイッチをオンし、前記第3のスイッチはオフし、

(a) 前記複数の電流負荷セルのそれぞれに対応した各駆動期間では、前記セレクタによって前記複数のデータ線のうち1本の対応するデータ線が出力セレクト信号で選択され、

(b) 前記複数の制御線のうち、前記セレクタで選択されたデータ線に対応する電流負荷セルに対応する制御信号によって、前記電流負荷セル内の前記第1のスイッチをオンすることで、前記電流負荷セル内の前記第1のMOSトランジスタのゲートに接続される前記容量の端子電圧を、前記データ線に供給されるドライバの電流出力に対応する電圧に設定し、

(c) 前記セレクタが、前記出力セレクト信号に基づき次のデータ線の選択に切替える前に、又は、切替と同時に、前記(a)で選択されていたデータ線に対応する前記電流負荷セルに対応する制御信号により、前記第1スイッチをオフする制御を行い、

前記(a)乃至(c)の処理を、前記セレクタを介して前記ドライバに接続される複数本のデータ線のそれぞれに対して行うことで、前記1周期に対応する前

記電流負荷セルの前記第1のMOSトランジスタへの電流設定を行い、

(d) 前記周期につづいて前記第3のスイッチをオンし、前記電流負荷セルの前記第1のMOSトランジスタのドレイン電流が前記電流負荷セルに供給される、ことを特徴とする半導体装置の駆動方法。

27. 前記(d)の処理において、前記第4のスイッチがオンする期間は、前記第3のスイッチがオフしている期間と同じ、又は含まれていることを特徴とする請求項25又は26記載の半導体装置の駆動方法。

28. 前記電流負荷が、発光素子よりなり、前記一周期が1水平期間である、ことを特徴とする請求項22乃至27のいずれか一に記載の半導体装置の駆動方法。

29. 一方向に延在されている複数本のデータ線と、該データ線と直交する方向に延在される複数本の制御線と、を備え、前記データ線と前記制御線との交差部に電流負荷セルをマトリックス状に備えた半導体装置において、

前記電流負荷セルは、

電流負荷と、

第1の電源と第2の電源との間に、前記電流負荷と直列形態に接続されているトランジスタと、

前記トランジスタの制御端子と前記第1の電源の間に接続された容量と、

前記トランジスタの制御端子と対応するデータ線との間に接続された少なくとも一つのスイッチと、を備え、前記電流負荷を駆動する電流負荷駆動回路を備え、

前記電流ドライバの1電流出力をセレクタを介して複数のデータ線に接続し、1水平期間において、前記セレクタを介して前記電流ドライバの1電流出力に接続される複数本のデータ線と、前記複数本のデータ線のそれぞれに対応する複数の前記電流負荷セルの前記スイッチの少なくとも一つが、時分割で、駆動制御される、ことを特徴とする半導体装置。

図 1

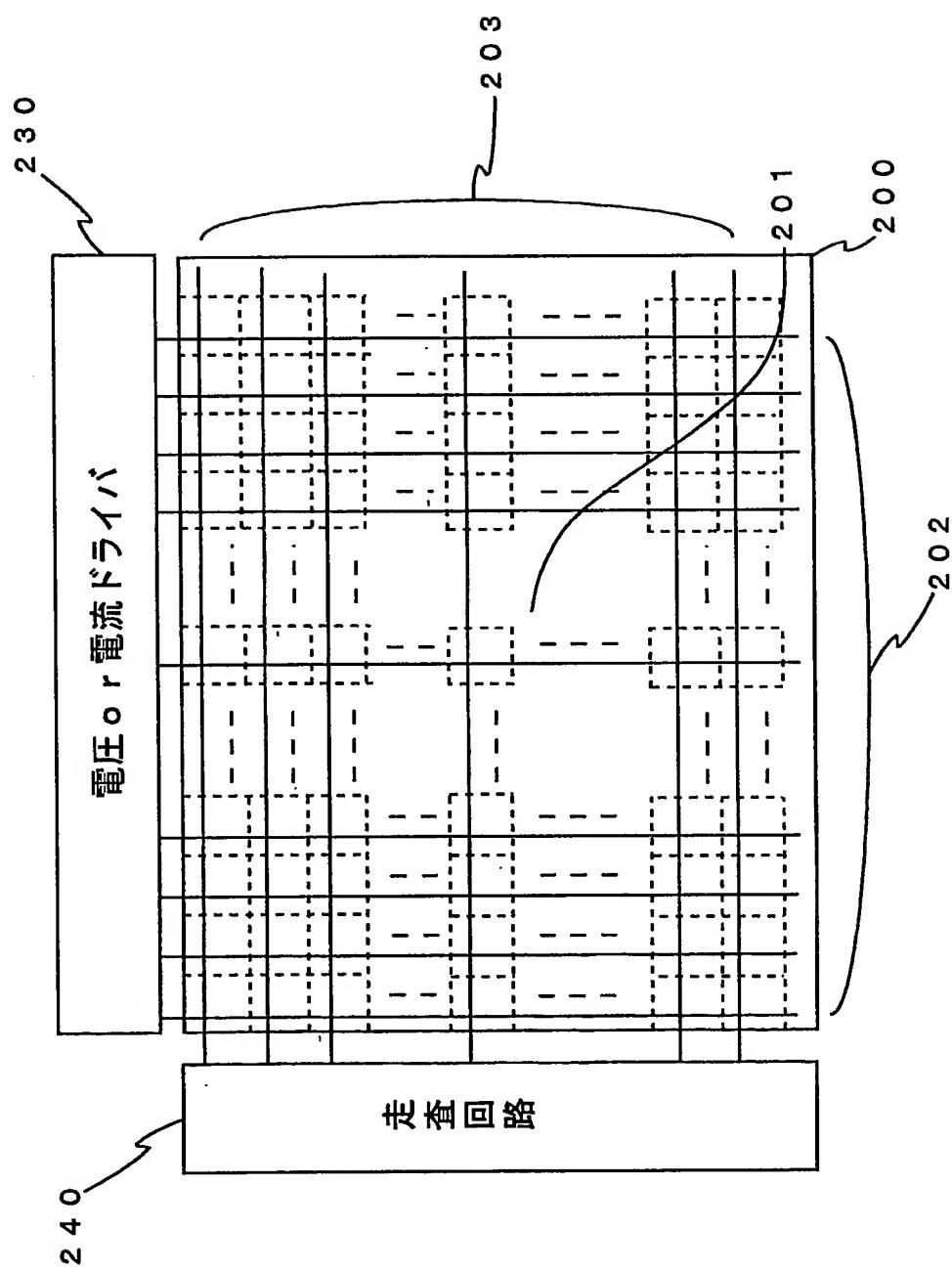
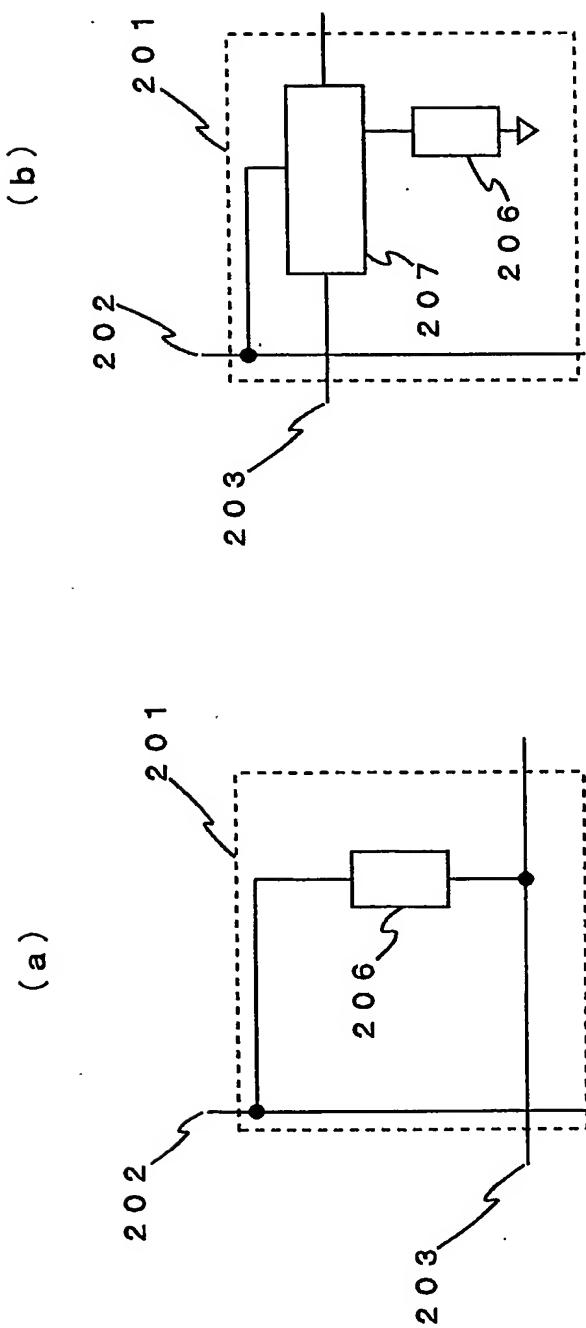


図 2



3/16

図 3

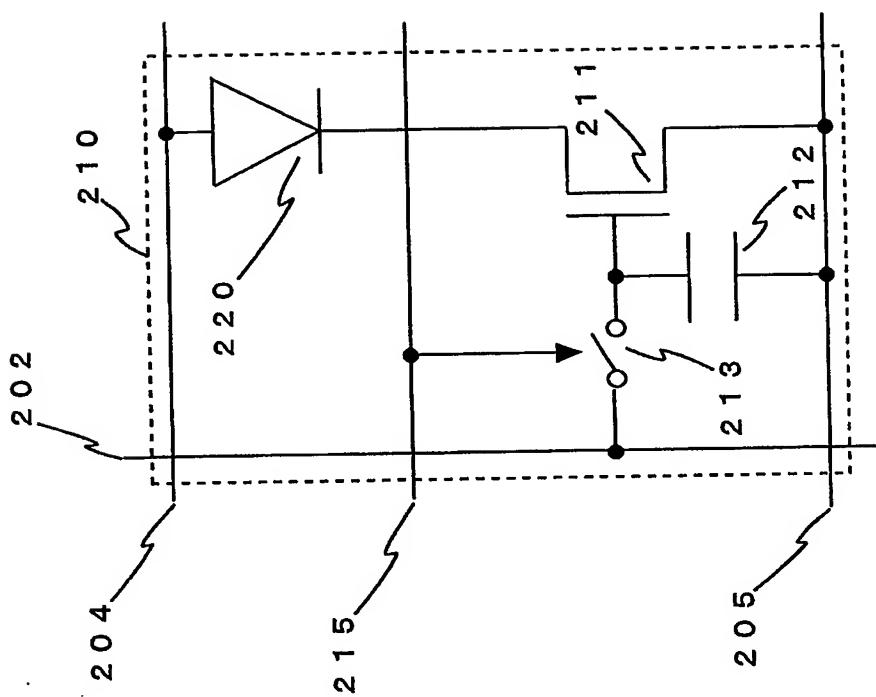


図 4

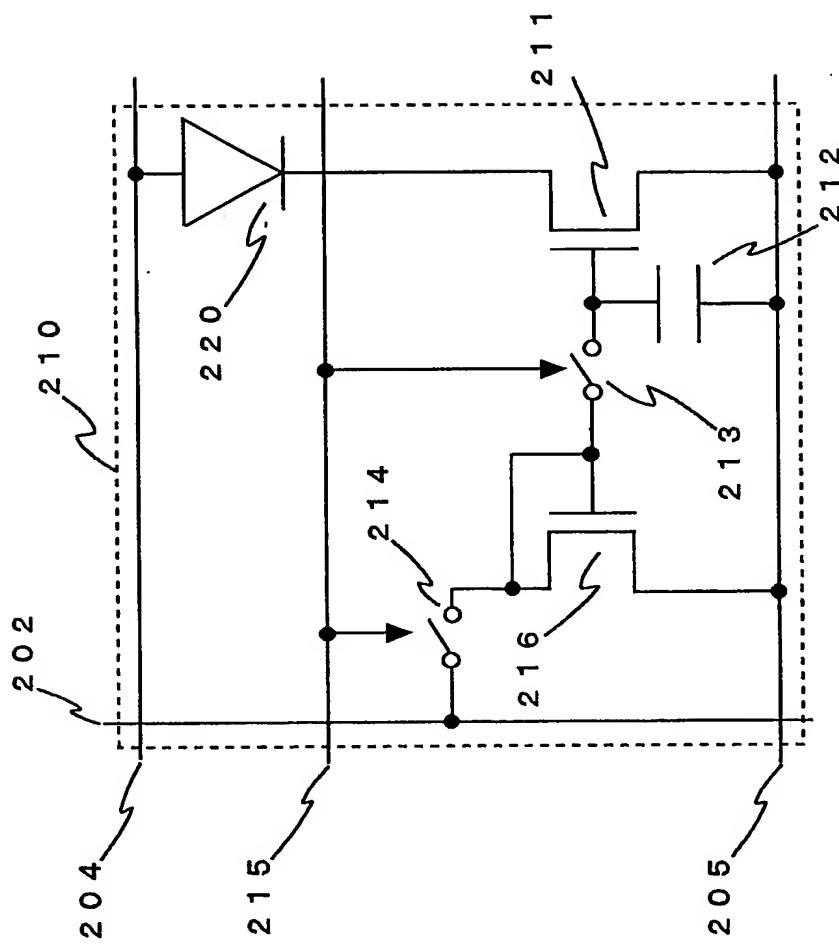
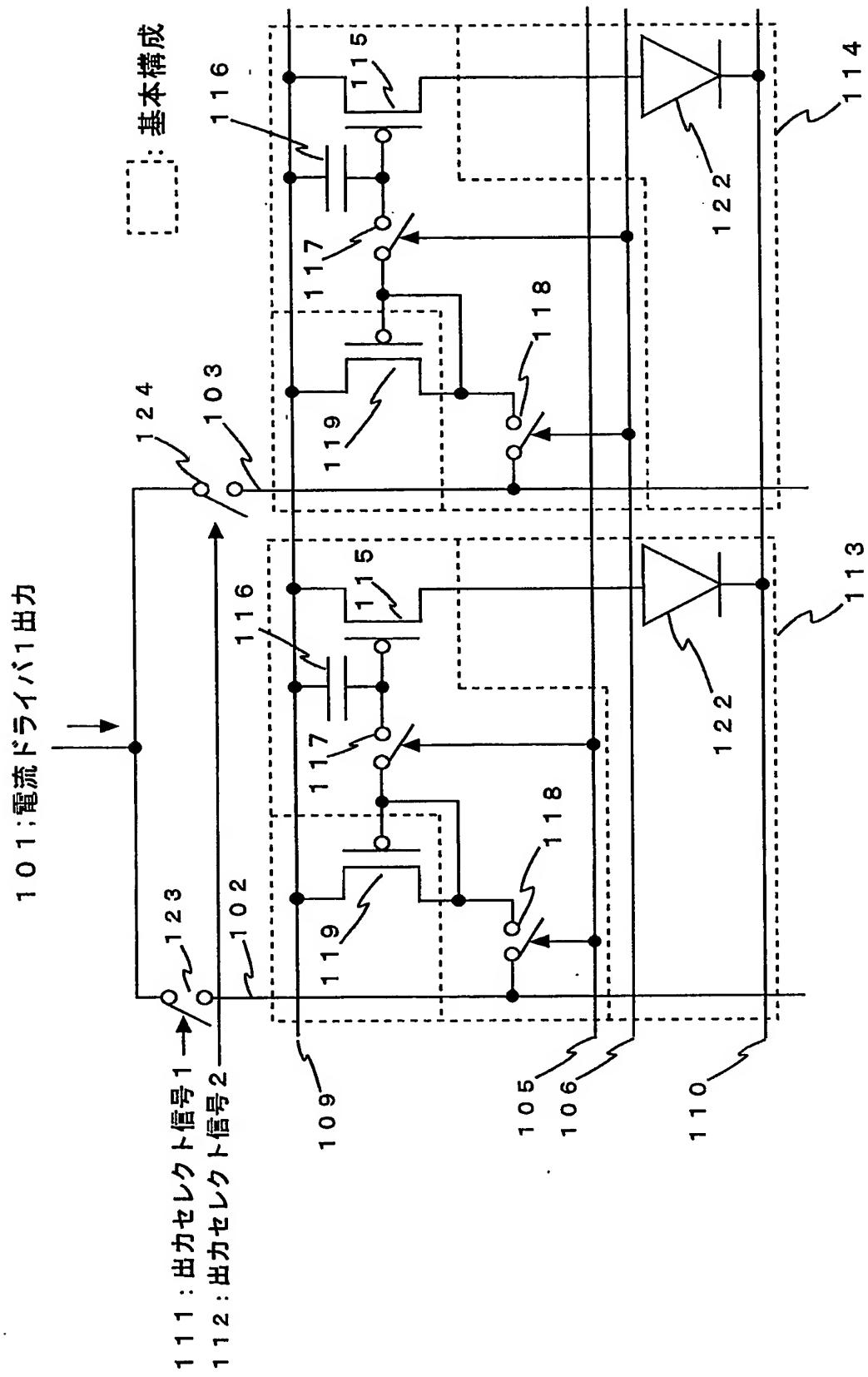


図 5



6/16

図 6

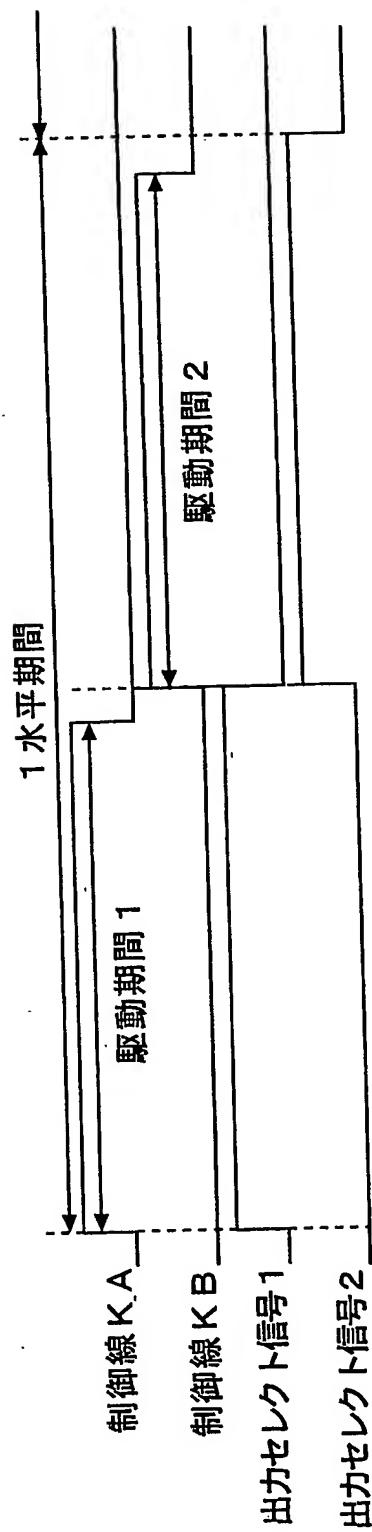


図 7

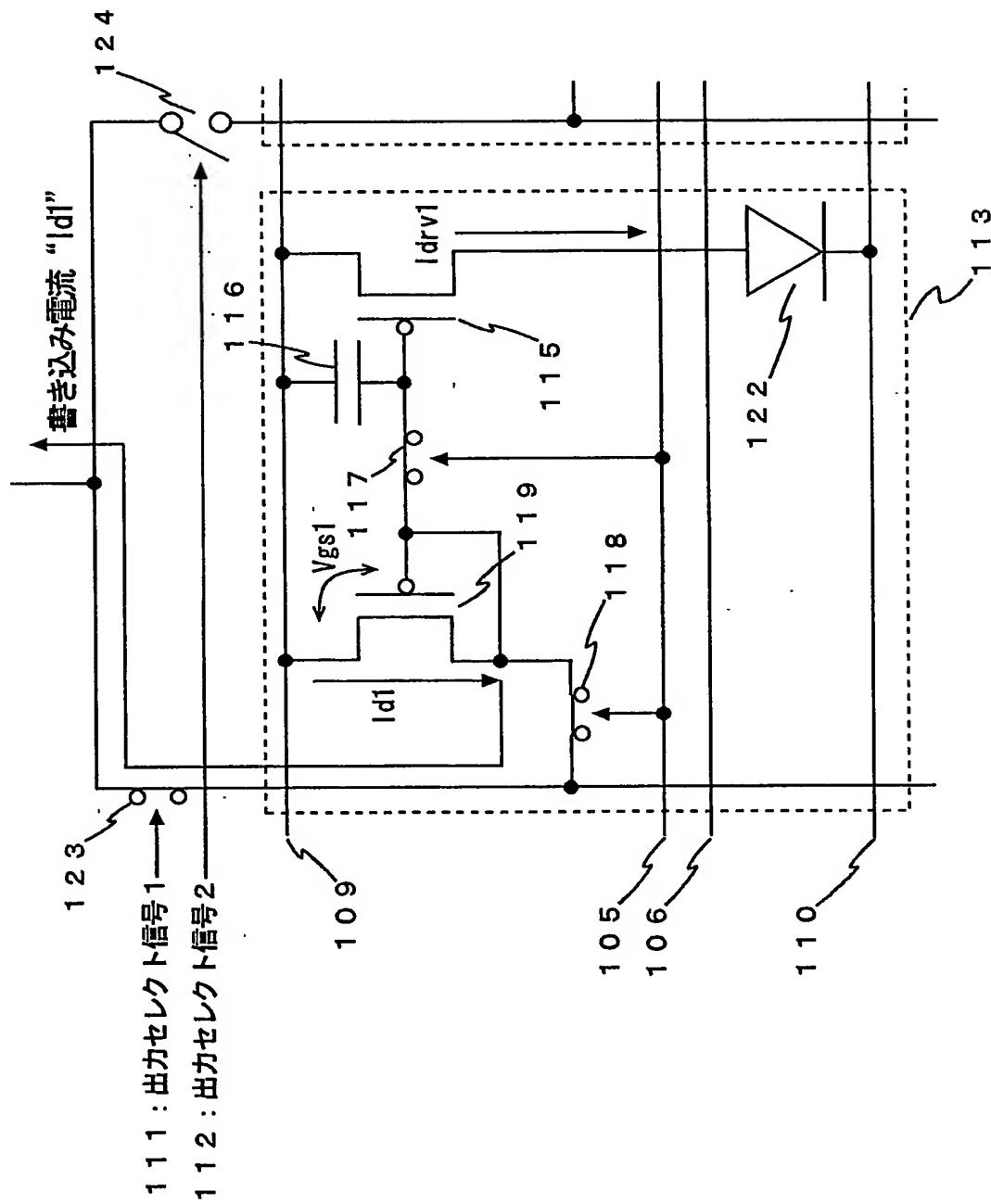


図 8

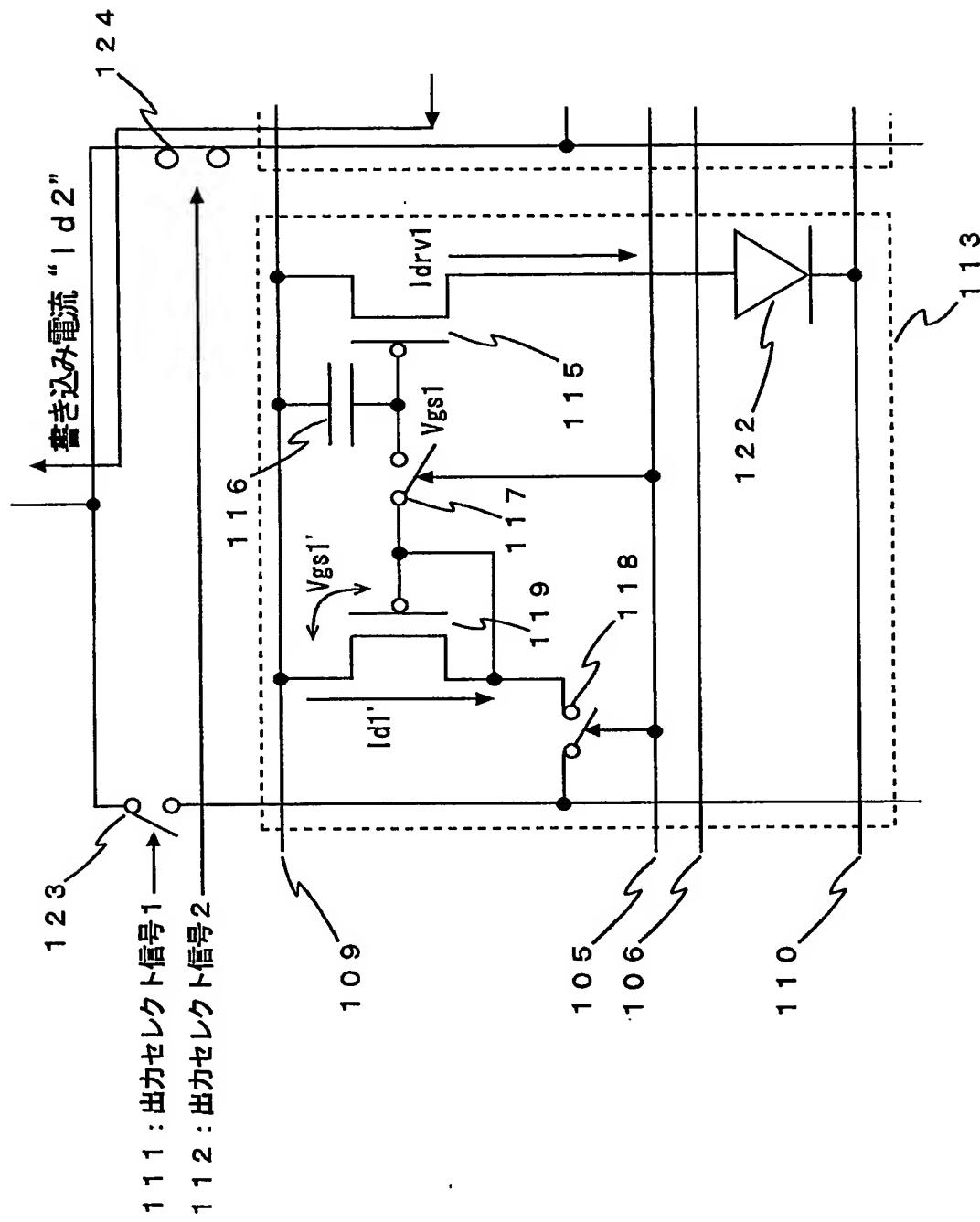
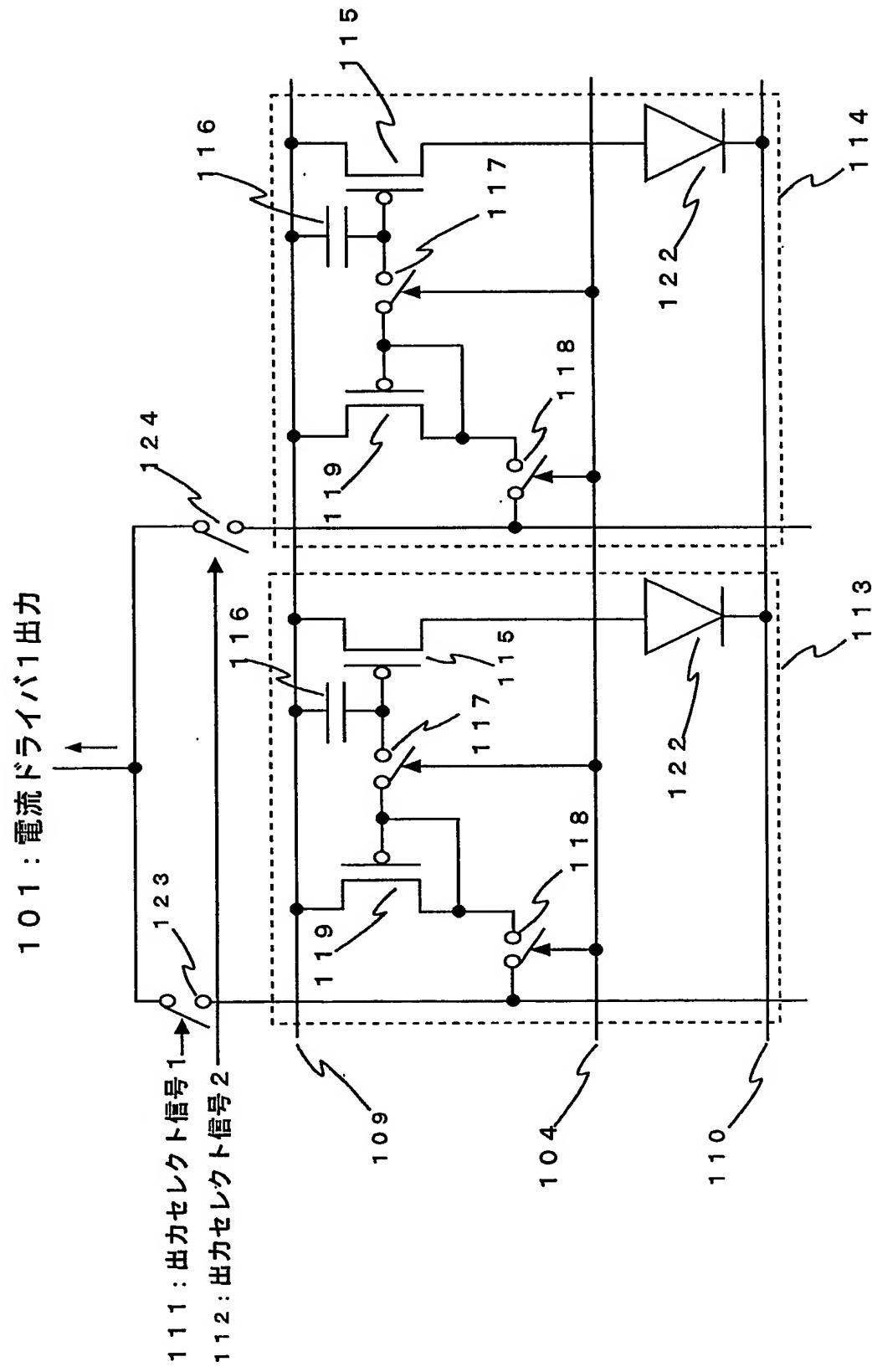


図 9



10/16

図 10

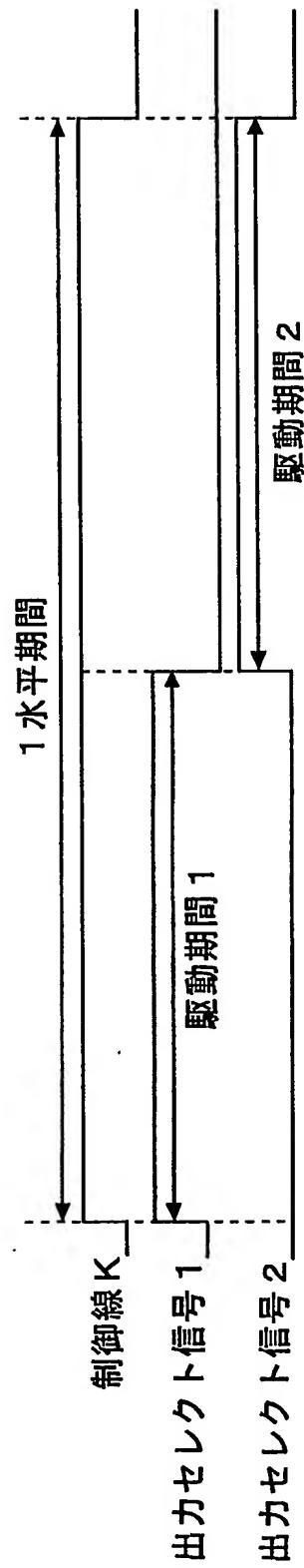
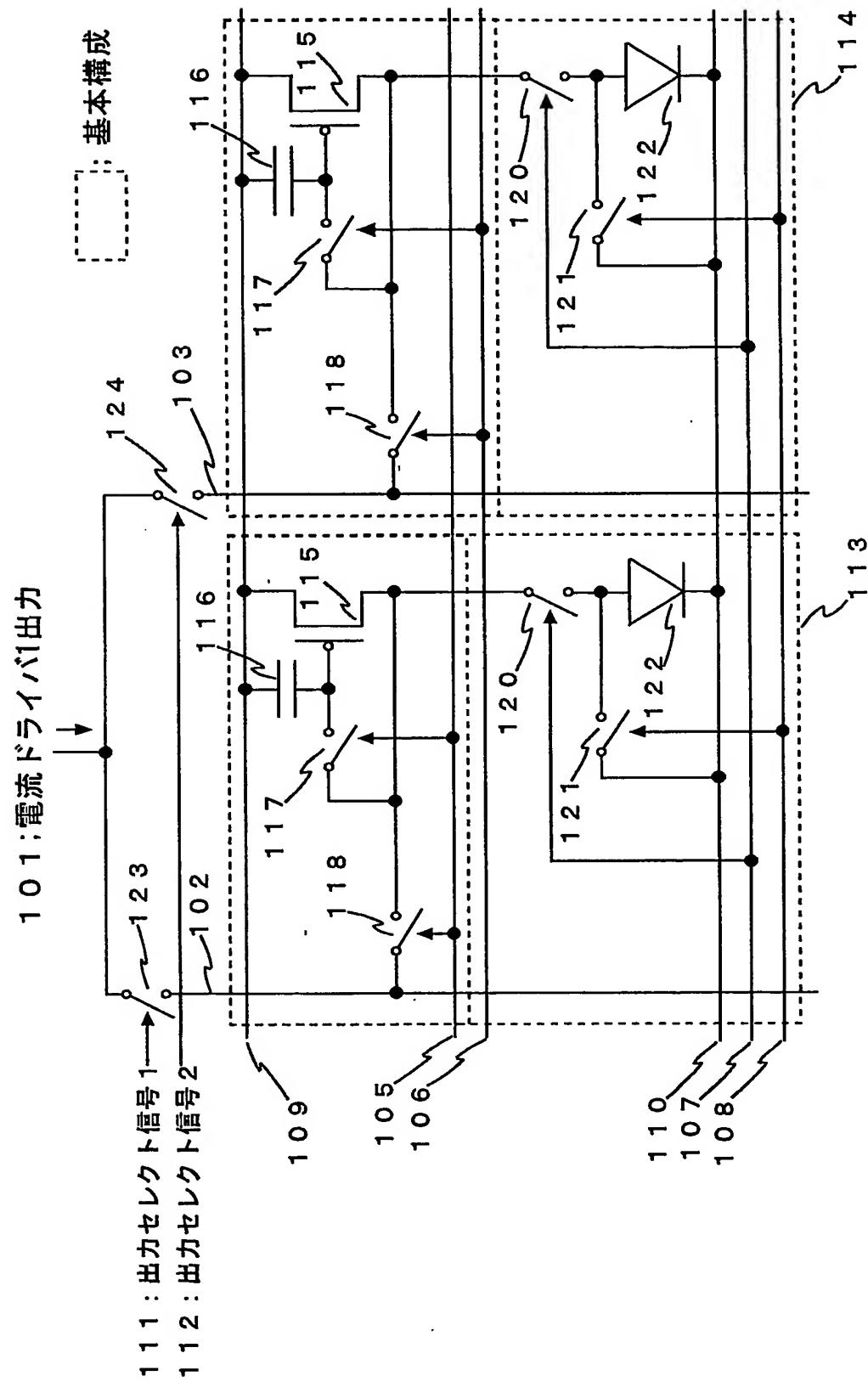


図 1 1



12/16

図 12

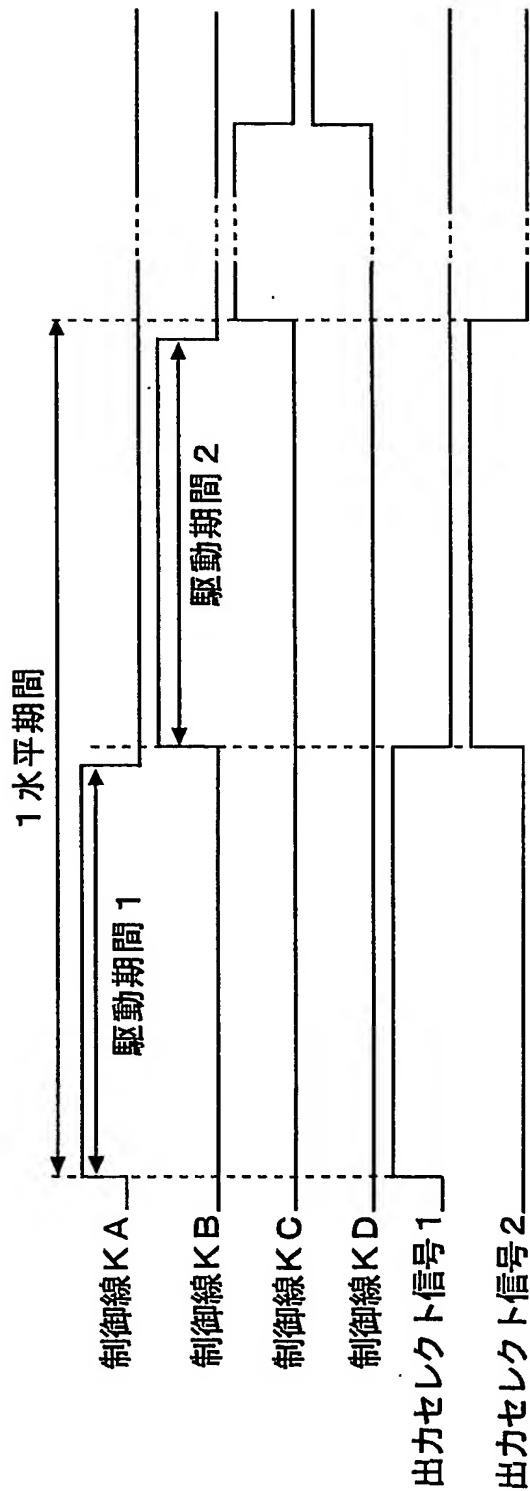
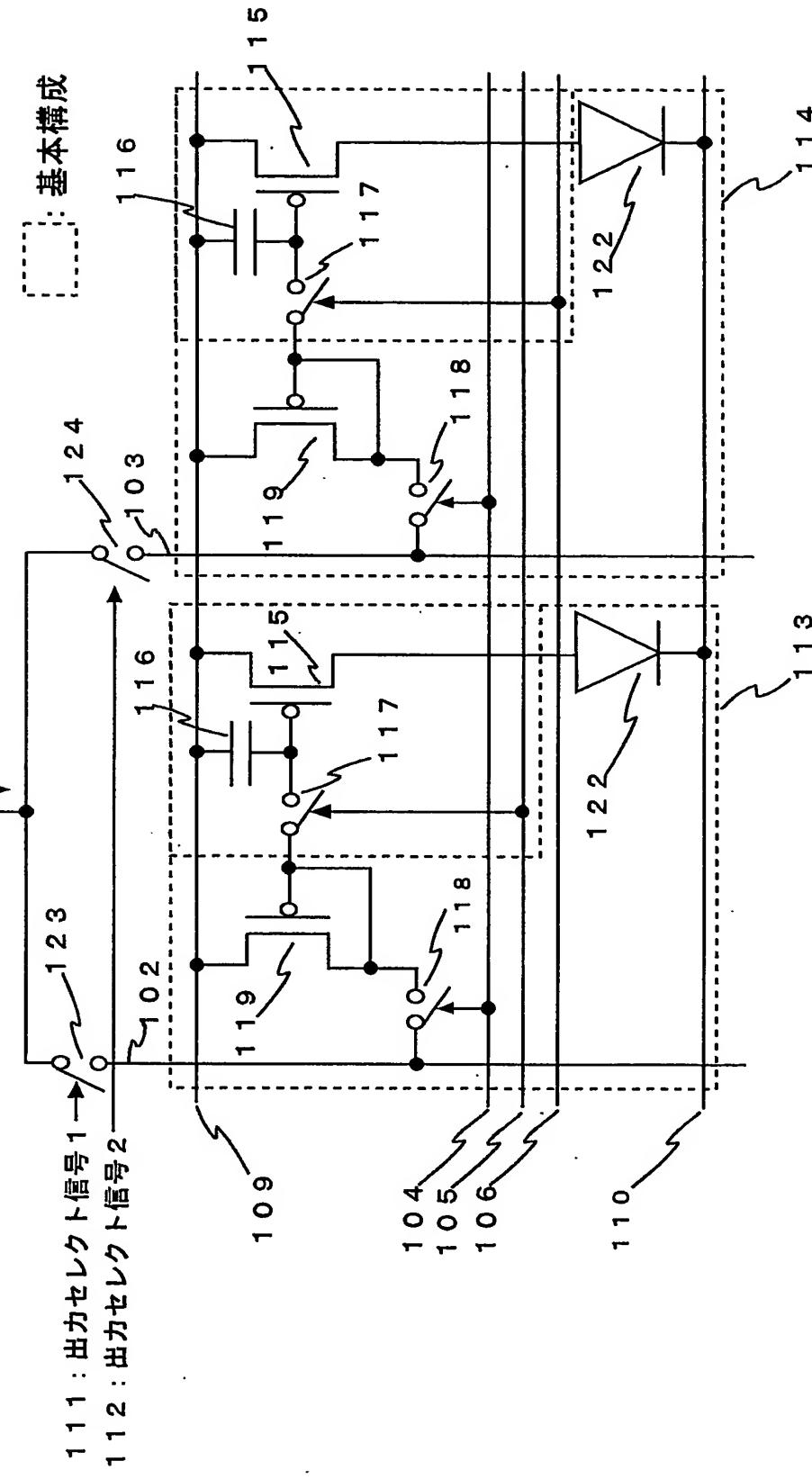


図 1 3

101：電流ドライバ1出力



14/16

図 14

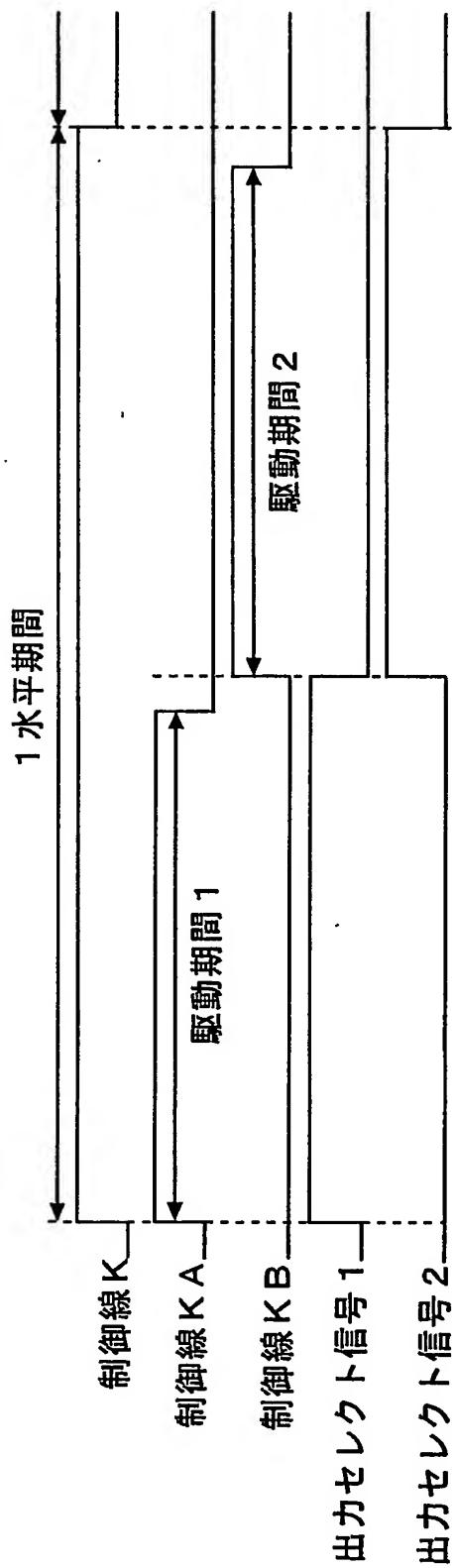


図 15

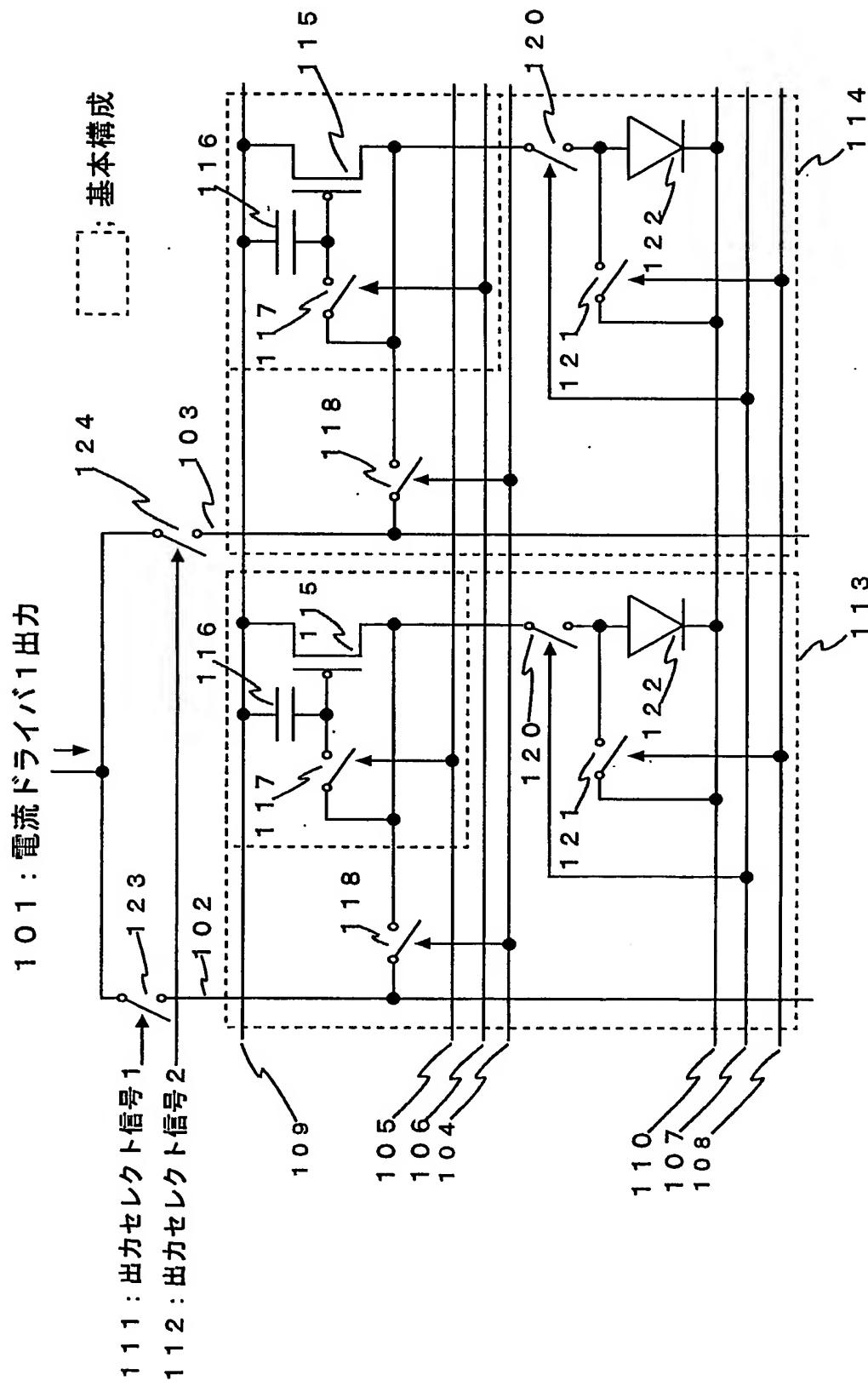
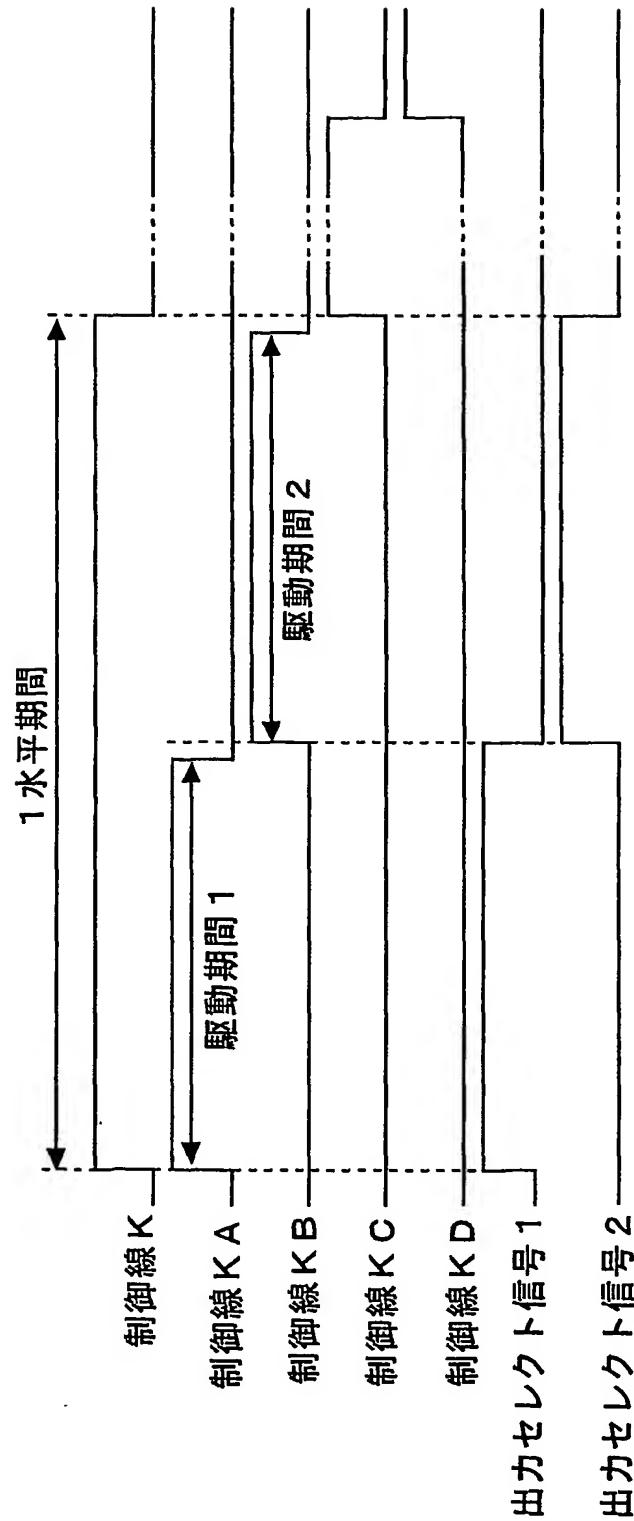


図 16



**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP03/00276

**A. CLASSIFICATION OF SUBJECT MATTER**  
Int.C1<sup>7</sup> G09G3/30, 3/20

According to International Patent Classification (IPC) or to both national classification and IPC

**B. FIELDS SEARCHED**

Minimum documentation searched (classification system followed by classification symbols)  
Int.C1<sup>7</sup> G09G3/30, 3/20

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched  
Jitsuyo Shinan Koho 1926-1996 Jitsuyo Shinan Toroku Koho 1996-2003  
Kokai Jitsuyo Shinan Koho 1971-2003 Toroku Jitsuyo Shinan Koho 1994-2003

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 11-282419 A (NEC Corp.), 15 October, 1999 (15.10.99), Par. Nos. [0039] to [0059]; Figs. 1 to 4 Par. Nos. [0039] to [0059]; Figs. 1 to 4 & US 6091203 A	12,14-21,29 1-11,13, 22-28
Y	JP 5-35221 A (Sharp Corp.), 12 February, 1993 (12.02.93), Par. Nos. [0003] to [0006]; Fig. 6 (Family: none)	12,14-21,29
Y	JP 2001-60076 A (Sony Corp.), 06 March, 2001 (06.03.01), Par. No. [0025]; Fig. 5 (Family: none)	15

Further documents are listed in the continuation of Box C.  See patent family annex.

"A"	Special categories of cited documents: document defining the general state of the art which is not considered to be of particular relevance	"T"	later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"E"	earlier document but published on or after the international filing date	"X"	document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"L"	document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"Y"	document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"O"	document referring to an oral disclosure, use, exhibition or other means	"&"	document member of the same patent family
"P"	document published prior to the international filing date but later than the priority date claimed		

Date of the actual completion of the international search 15 April, 2003 (15.04.03)	Date of mailing of the international search report 30 April, 2003 (30.04.03)
--	---

Name and mailing address of the ISA/ Japanese Patent Office	Authorized officer
Facsimile No.	Telephone No.

## INTERNATIONAL SEARCH REPORT

International application No. PCT/JP03/00276
---

## C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 6-148680 A (Hitachi, Ltd.), 27 May, 1994 (27.05.94), Par. No. [0011]; Figs. 1 to 2 (Family: none)	1-29
A	JP 11-109919 A (Toyota Motor Corp.), 23 April, 1999 (23.04.99), Par. No. [0012]; Fig. 1 (Family: none)	1-29
P,A	JP 2002-358049 A (Canon Inc.), 13 December, 2002 (13.12.02), Par. No. [0006]; Fig. 5 (Family: none)	1-29
P,A	JP 2002-40990 A (Semiconductor Energy Laboratory Co., Ltd.), 08 February, 2002 (08.02.02), Par. Nos. [0054] to [0061]; Figs. 5 to 7 & US 2001/0048106 A1	1-29

A. 発明の属する分野の分類 (国際特許分類 (IPC))  
Int.Cl' G 09G 3/30, 3/20

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))  
Int.Cl' G 09G 3/30, 3/20

## 最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-1996年  
日本国公開実用新案公報 1971-2003年  
日本国実用新案登録公報 1996-2003年  
日本国登録実用新案公報 1994-2003年

## 国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y A	JP 11-282419 A (日本電気株式会社) 1999.10.15 段落番号【0039】-【0059】，第1-4図 段落番号【0039】-【0059】，第1-4図  & US 6091203 A	12, 14-21, 29 1-11, 13, 22-2 8
Y	JP 5-35221 A (シャープ株式会社) 1993.02.12, 段落番号【0003】-【0006】 第6図 (ファミリーなし)	12, 14-21, 29

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

- 「A」特に関連のある文献ではなく、一般的技術水準を示すもの
- 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
- 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
- 「O」口頭による開示、使用、展示等に言及する文献
- 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

## の日の後に公表された文献

- 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
- 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
- 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
- 「&」同一パテントファミリー文献

## 国際調査を完了した日

15. 04. 03

## 国際調査報告の発送日

30.04.03

## 国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)  
郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

## 特許庁審査官 (権限のある職員)

西島 篤宏



2G 9308

電話番号 03-3581-1101 内線 3225

C(続き) 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 2001-60076 A (ソニー株式会社) 2001. 03. 06 段落番号【0025】， 第5図 (ファミリーなし)	15
A	JP 6-148680 A (株式会社日立製作所) 1994. 05. 27 段落番号【0011】， 第1-2図 (ファミリーなし)	1-29
A	JP 11-109919 A (トヨタ自動車株式会社) 1999. 04. 23 段落番号【0012】， 第1図 (ファミリーなし)	1-29
P, A	JP 2002-358049 A (キヤノン株式会社) 2002. 12. 13 段落番号【006】， 第5図 (ファミリーなし)	1-29
P, A	JP 2002-40990 A (株式会社半導体エネルギー研究所) 2002. 02. 08 段落番号【0054】-【0061】， 第5-7図 & US 2001/0048106 A1	1-29